

摘 要

IT 业在不断发展和革新的过程中,呈现出网络化、数字化、智能化、低功耗等几大特点和发展趋势。人们需要高速、宽带的通信网络来互通信息。光纤通信由于其自身的优势将逐步取代电缆通信。在光纤传输系统中,分接器处于光接收机的末端,将经过数据判决后得到的高速串行信号转变为并行的多路低速信号。因此,分接器是实现高速通信系统的重要部分,其性能直接影响到最后的输出信号。而在光纤通信及无线通信系统中,分接器必须由分频器将高速时钟变成低速时钟。在此情况下,超高速的分频器是工作在最高频率的电路之一,起着至关重要的作用。因此随着 CMOS 工艺的进步,基于 CMOS 工艺的超高速分频器的设计具有重大的现实意义。

本论文的主要目标是,采用特征频率仅为 49GHz 的 0.18 μm CMOS 工艺,分析、研究并实现工作频率超过 20GHz 的 1:4 超高速分频电路以及采用相同工艺,分析、研究符合 STM-64 (9.952Gb/s) 级别的低电压、低功耗 1:4 分接器,并在下一次 MPW 完成投片及测试工作。为了使电路性能达到低电压、低功耗与超高速的统一,本文采用一种改进型共栅结构的动态负载锁存器。基于该锁存器,设计并实现了超高速 1:4 分频器。在片测试结果表明:其最高工作速率可达 26GHz,分频范围超过 20GHz;封装后的测试结果表明:其最高工作速率达 19.6GHz,且在预期的 10GHz 工作频率获得了较为理想的输出信号。本文同时采用同种工艺在 1.2V 的电源电压下完成了 10Gb/s 1:4 分接器的仿真和版图设计,后仿真结果表明其完全达到设计指标,且核心功耗仅为 10mW。该芯片将于下次 MPW 中投片、完成测试。

本论文给出了分接器电路及分频器电路的基本原理并以电路设计、版图设计、芯片测试的顺序详细介绍了电路的设计流程及 1:4 超高速分频器的测试结果。在片测试及封装测试结果表明,采用该方案实现的低电压、低功耗、超高速分频器性能优良,完全达到设计要求,为产业化积累了经验,做出了贡献。

【关键词】

光纤通信 分接器 (Demultiplexer) 分频器 (Frequency Divider) 低功耗
互补金属氧化物半导体 (CMOS) 动态负载锁存器

Abstract

Several characteristics and trends, such as network, digital, intelligence and low power present during the innovation and development of IT industry. High speed, broad band communication network are required to communicate information. For these reason, Optical communication will gradually replace cable communication. In optical transmission system, Demultiplexer(Demux) is at the tail end of the optic-fiber receiver. Demux transforms the one way high speed serial signal which from data decision to $N(N>1)$ way low speed parallel signal. Therefore, Demux is an important part of high speed communication system, its performance directly influence the last output signal. So, high speed Demux circuit is the indispensable key circuit in optical communication. Additionally, super high speed frequency dividers are widely applied in optical communication and wireless communication system. In a Demux, frequency divider converts the high speed clock to the lower speed clock. In the case, frequency divider is one of the circuits working on the highest frequency. With the development of CMOS process, design of super high speed frequency divider based on CMOS process makes great sense.

The article's main objective is to analyze, research and realize a super high speed frequency divider circuit based on $0.18\mu\text{m}$ CMOS process, and the circuit's work rate is over 20GHz. And based on the same process, analyze, research a low voltage, low power 1:4 Demux applying for STM-64, the chip will be sent to foundry in the next MPW project, and subsequently be tested on wafer. Since the standard voltage in $0.18\mu\text{m}$ CMOS process is 1.8V, and f_i is 49GHz, in 1.2V, traditional circuit structures are hard to work up to 10Gb/s, similarly, the traditional ones in 1.8V power supply are hard to work up to 20GHz. In order to achieve the unification of low voltage, low power and super high speed, the article applies an improved common-gate structure dynamic load latch. Based on this latch, design and realize a 1:4 super high speed frequency divider in TSMC $0.18\mu\text{m}$ CMOS process. On-wafer experimental results show its highest work rate can be up to 26GHz, and its work range is over 20GHz; Package experimental results show the chip can work up to 19.6GHz and performs well in 10GHz which is the desired work rate. The article also accomplishes the simulation and layout design of a 1.2V 10Gb/s 10mW 1:4 Demux based the same process, the chip will be sent to foundry in the next MPW project, and subsequently be tested on wafer.

The article presents the basic principle of Demux and frequency divider, and describes the design flow in detail by the sequence of circuit design, layout design and chip test. Finally, the paper gives the test results of the 1:4 super high speed frequency divider. The on-wafer and package measurement results of the chipset show that the low voltage, low power, super high speed frequency divider works well and totally meet the task of the design. The chip has the bright future in industrialization.

[Keywords] Optical communication Demultiplexer Frequency Divider
Low power CMOS Dynamic load latch

东南大学学位论文独创性声明

本人声明所呈交的学位论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得东南大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

研究生签名： 姜辉 日期： _____

东南大学学位论文使用授权声明

东南大学、中国科学技术信息研究所、国家图书馆有权保留本人所送交学位论文的复印件和电子文档，可以采用影印、缩印或其他复制手段保存论文。本人电子文档的内容和纸质论文的内容相一致。除在保密期内的保密论文外，允许论文被查阅和借阅，可以公布（包括刊登）论文的全部或部分内容。论文的公布（包括刊登）授权东南大学研究生院办理。

研究生签名： 姜辉 导师签名： 冯军 日期： _____

第一章 绪论

1.1 光纤通信系统

1.1.1 光纤通信简介

光通信,顾名思义即是利用光波载送信息来实现通信。光实质上是频率极高的电磁波(3×10^{14} Hz 以上),因而用它作为载波进行通讯,容量很大,是现有其他通讯方式的万倍以上,具有极大的吸引力。光纤通信就是以光波作为信息载体,光导纤维作为传输介质的一种先进通信手段。它与以往的通信方式相比,具有很多优点^[1.1-2]:

(1) 频带宽、通信容量大。现行电缆通信工作频率为 $10^5 \sim 10^8$ Hz;微波通信工作频率在 10^9 Hz 左右;光纤通信的现行工作频率(光波载频)在 10^{14} Hz 左右。因此,光纤通信的带宽与通信容量比微波通信高 10 万倍,与同轴电缆通信相比更是高达 100 万倍。而在光纤通信中,光频尚有巨大的带宽与容量有待于开发利用;

(2) 安全可靠、保密性强。到目前为止还没有发现能窃听光缆中传输的光信息的手段,特别适用于军事保密通信以及国家安全机要部门内部通信与重要经济信息的保密传输;

(3) 体积小、重量轻、可绕性强。外径 $125\mu\text{m}$ 的一根 1km 长光纤重量仅有 29 克,比有色金属铜线轻得多,并且敷设也比铜线简单;

(4) 输入与输出之间电隔离。能抗电磁干扰,防闪电雷击。特别适用于铁路、电力、厂矿等电磁干扰严重的环境,也适合电子计算机联网,电视传输以及飞机、导弹等要求防电磁干扰的通信、传输和控制系统;

(5) 抗腐蚀、抗酸碱。光缆可直接埋在地下,特别适合化工企业的内部及恶劣环境下的通信;

(6) 传输损耗低,适用于长途传输。对于现已成熟的以硅玻璃(SiO_2)为基质材料的光纤,工作波长在 $0.85 \sim 1.55\mu\text{m}$ 之间,其低损耗窗口损耗可减至 0.2dB/km ,工作带宽可达 100GHz 以上,无中继传输距离达 100km 以上;而对于同轴电缆通信,在 100MHz 工作时最佳损耗值高达 75dB/km ,无中继距离仅在 5km 左右;

(7) 资源丰富,可节省大量有色金属。目前制作光纤的原料是二氧化硅(SiO_2),此种材料在地球上极其丰富。硅提纯技术的进步,使得可以生产出硅材料的两大类产品:光导纤维和集成电路。光导纤维的造价下降迅速,一公斤极纯的石英玻璃可拉制 100km 以上长度的光纤。而 100km 长度的 1800 路同轴电缆则需铜 150 吨、铅 500 吨。

(8) 节省能源。制造 1000 公里光纤比制造相同长度同轴电缆可节省约 260 亿千焦(63 亿大卡)能量,这相当于 900 吨煤完全燃烧产生的能量;

随着电信网、计算机网络、Internet 网络的迅猛发展,多媒体通信的广泛应用以及信息高速公路的大规模建设,人们对高速度的通信系统需求越来越高。为了满足这一需求,高速光纤通信系统已经得到广泛应用。光缆遍布全球, 622Mbit/s 高速、 2.5Gb/s 超高速光纤通信系统已经投入使用。目

前，世界各国都投入了极大的人力和物力来研制更高速率（例如 10Gb/s）的光纤通信系统。因此，研制具有自主知识产权的高速光纤通信集成电路具有重大的意义和良好的市场前景。

1.1.2 光纤传输系统^[1, 3]

光纤通信系统的原理框图如图 1.1 所示。在图中，左边的三个模块为发送端的组成部分。其中，复接器(Mux: Multiplexer)将 N 路低速信号复接成一路高速信号，激光驱动器(LD Driver)驱动激光二极管(LD: Laser Diode)将电信号转换为光信号后通过光纤传输；图右侧的六个模块为接收端的组成部分。其中，光信号由光电二极管(PD: Photon Diode)转化为电信号，微弱的电信号经过预放大器(Pre_Ampilfier)和主放大器(AMP:Main Amplifier)放大后，由时钟恢复电路(Clock Recovery)和数据判决电路(Data Decision)分别从中恢复出时钟信号和数据信号，最后由分接器(DeMux: Demultiplexer)将高速数据信号还原成原始的 N 路低速信号。图中，由浅色背景标示的 DeMux 模块为本文的设计课题之一。

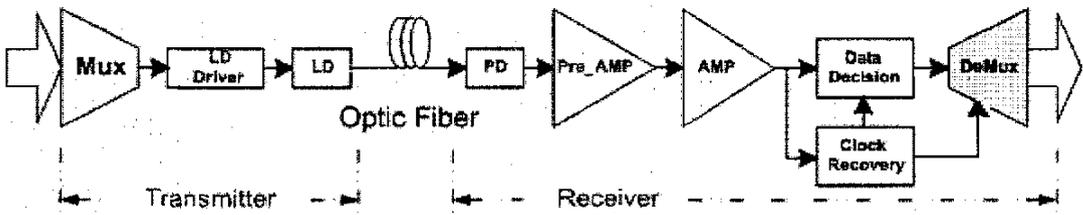


图 1.1 光纤通信系统原理框图

随着光纤通信的发展，作为数字光纤传输系统标准的同步数字体系（Synchronous Digital Hierarchy, 简称 SDH）得到越来越广泛的应用。SDH 是从美国的光接口标准 SONET 演化而来，对 SONET 经过修改后，SDH 已经被 CCITT（现在的 ITU-T）采用作为全球传输标准。到目前为止，SDH 最基本的硬件和软件标准已经得到定义。SDH 系统用作干线通信已经成为世界各国发展的趋势。CCITT 建议中定义了一系列 SDH 的基本传输速率，其中最基本的传输速率为 STM-1，它的比特率是 155.52Mb/s。更高速率的 STM-N 信号是通过 N 个 STM-1 的数据交错获得的。由 CCITT 标准化了的 N 值有 1, 4, 16 和 64...，它们各自对应的比特率如表 1-1 所示。作为比较，表中还列出了由 ANSI 标准化了的 SONET 的比特率。目前，STM-16 级的 SDH 系统已成为我国干线通信的主流，并且朝着 STM-64 的速率发展。

表 1-1 SDH/SONET 的系统标准

| SDH | | SONET | |
|--------|-----------|---------|-----------|
| 系列 | 比特率(Mb/s) | 系列 | 比特率(Mb/s) |
| | | STS-1 | 51.840 |
| STM-1 | 155.520 | STS-3 | 155.520 |
| | | STS-9 | 466.560 |
| STM-4 | 622.080 | STS-12 | 622.080 |
| | | STS-18 | 933.120 |
| | | STS-24 | 1244.160 |
| STM-16 | 2488.320 | STS-48 | 2488.320 |
| | | STS-96 | 4976.640 |
| STM-64 | 9953.280 | STS-192 | 9953.280 |

1.2 工艺选择

信息量的爆炸式增长导致人们对高速数据通信网的迫切需求。WAN 与 LAN 的传输媒质已从原来的铜线转变为光纤，这种转变也促使电路设计向低功耗、低成本集成光纤接收机方向发展。低功耗、低成本是 IC 发展的必然趋势。

本文研究的内容正是低电压、低功耗、超高速集成电路（工作速率超过 20GHz 的 1:4 分频器以及 1.2V 10Gb/s 的 1:4 分接器）的设计。选择适合的工艺是成功完成超高速电路设计的前提和保证。在光纤通信系统中，各种半导体材料均可找到它们的应用领域。在这些材料中，硅（Si）、砷化镓（GaAs）、磷化铟（InP）是最基本、最重要的三类。在这三种材料的衬底上可以制造更复杂的材质系统，生产不同的固态器件和集成电路。表 1-2 定性给出几种常见工艺。

表 1-2 集成电路工艺与晶体管类型

| 材料 | | 晶体管类型 | | | 工艺类型 |
|----------------|-----|----------------------|-----------------|----------|-----------|
| | | 双极型晶体管 (Bipolar) | 场效应晶体管 (FET) | 混合 类型 | |
| IV 族 | 硅 | BJT | MOSFET, JFET | BiCMOS | Bulk, SOI |
| | 锗 | Si/SiGe HBT | | | |
| III-V 族 化合物 | 砷化镓 | HBT (AlGaAs/GaAs) | MESFET, HEMT | | |
| | 磷化铟 | | | | |

而本文采用的是硅材料，因此下面对材料硅的特性和应用加以论述。

硅是现代电子器件和计算机工业的基础。在过去 40 年间，利用硅作为基本材料的很多技术已经得到发展并逐渐成熟起来。它们包括：双极性结型晶体管（BJT）、结型场效应管（J-FET）、P 型、N 型、互补型金属氧化物半导体晶体管（PMOS, NMOS, CMOS），以及双极性型 CMOS

(BiCMOS)。

在硅圆片直径不断增加的同时(6英寸, 8英寸, 12英寸), 一个单片集成电路包含的晶体管数目及其工作速率也在不断提高。

由于原材料便宜, 生产技术成熟, 生产价格低廉, 硅集成电路已成为系统设计制造的主流。现在90%以上的集成电路制造市场都由硅所占据。在硅工艺中, 双极性硅技术可以达到很高的数据信号处理速率, 利用 $0.4\mu\text{m}$ 的双极性硅工艺的一个中等规模集成电路的工作速率已经超过了50Gb/s。以往的高速率集成电路大多采用双极性硅工艺实现, 但是随着CMOS工艺向着亚微米和深亚微米方向发展, 其电路工作速率上限已逐渐接近砷化镓和双极性硅电路的常规工作速率, 利用深亚微米工艺, 已可以实现工作速率在Gbit/s以上的电路。

III/V族工艺(如GaAs)和双极性硅等工艺虽然能够实现超高速的芯片, 但相对于CMOS而言它有不可克服的缺点: 功耗大、不能大规模集成。从实际工程的角度来看, 一般的集成电路设计单位很难获得这些工艺的加工服务, 即使有, 价格也相当昂贵。

BiCMOS综合了双极性硅的高速和CMOS的可集成度高这两方面的优点, 但是从实际工程的角度来看, 它有三大缺点: 一是价格高于CMOS, 二是工艺同样难以获得, 三是其中的CMOS工艺总是落后于标准CMOS工艺的发展进程, 有时很难满足设计需要。

实际上, 对于数字集成电路, 采用CMOS工艺设计最为理想。这是因为: 一, CMOS工艺容易获得。国内有华晶、华虹、先进等半导体工艺厂商可以提供加工服务; 美国MOSIS向全世界提供多目标芯片服务; 台积电TSMC也支持多项目晶圆服务, 其提供的最先进的CMOS工艺已经达到 $0.13\mu\text{m}$ 的水平; 欧洲也有类似的组织如EuroPractice提供多目标芯片的服务。二, CMOS流片成本比其它工艺低。三, CMOS电路功耗小, 集成度高。众所周知, 功能复杂的数字电路, 其电路规模一般都较大。而在集成度方面, CMOS有着GaAs、双极性硅等工艺无法比拟的优点。

1.3 设计流程

模拟集成电路的设计并不是工序的简单堆砌, 若想得到满意的设计结果, 必须遵循缜密的流程。特别对于超高速模拟集成电路来说, 特定的设计流程显得更为重要。图1.2展示的为本文所采用的设计流程:

(1) 首先是系统定义, 比如芯片的工作速率, 功耗, 电源电压及模块的接口电平, 等等。这一步通常由芯片的需要者来定义。

(2) 知晓了系统定义之后, 应该着手对系统进行方案论证。经过严密的文献搜索整理和调研, 确定用何种电路结构和工艺实现该系统。

(3) 在确定了合适的工艺之后, 应和工艺厂商联系并获取精准的器件模型。没有与所用工艺配套的精确器件模型, 就无法对实际的电路性能作出准确的仿真预测。仿真结果与实测结果有可能相去甚远, 增加芯片设计的风险性。

(4) 电路设计仿真, 一般也称之为前仿真, 是在电路设计EDA软件(如SmartSpice、Hspice)的帮助下对电路器件的参数进行精心的调试和优化。当然, 参数的调试是建立在对电路的正确理解以

及对结构特性的把握之上的。若只是无谓的尝试数据，不仅效率低下，也有可能打击电路设计者的信心。不可否认，这一阶段的工作表面上看起来是很枯燥的，需要设计者持之以恒并辅之以灵感。

(5) 在前仿真达成指标之后即进行版图设计。这是对已经设计好的器件的物理实现。在版图设计中要充分考虑到各种效应对电路产生的影响，进行合理的布局和优化。版图设计过程中需要进行设计规则校验 (DRC)、版图电路图对照 (LVS) 和寄生参数提取 (LPE) 等步骤。

(6) 后仿真。在版图设计完成之后，由版图设计软件提取出版图的带有寄生参数的器件数据，根据软件的不同可以在工作站进行后仿真或是下载到本地机进行后仿真。后仿真的结果和最终测试的结果往往比较接近，因此也是最能反映问题的一次仿真。若仿真的结果偏离实际需要，应分析原因并找出解决方法。如前仿真中参数选择不合适或是版图的原因，则需重新进行前仿真和版图设计，直到后仿真满足设计要求。

(7) 芯片制造。在后仿真满足设计要求之后，将版图数据转为 GDSII 格式，交付芯片制造商流片。

(8) 芯片测试。根据之前定义的测试方案搭建合适的测试平台进行测试。记录测试结果并进行结果分析，以期对今后的设计和流片有所帮助。

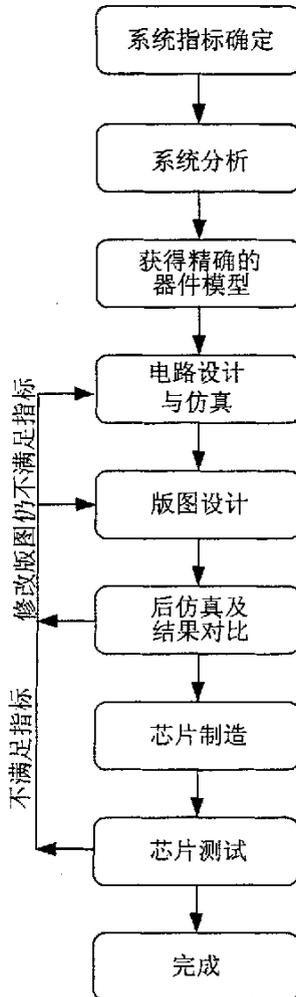


图 1.2 集成电路设计流程

1.4 论文组织

本论文的研究内容是利用易获取、集成度高、低成本和低功耗的 $0.18\mu\text{m}$ CMOS 工艺, 分析、研究并实现工作速率超过 20GHz 的 1:4 超高速分频电路, 以及采用相同工艺, 分析、研究符合 STM-64 (9.952Gb/s) 级别的 1.2V 、低功耗 1:4 分接器, 并在下一次 MPW 完成投片及测试工作。

第二章介绍超高速 1:4 分频器的电路设计, 其中分析比较了多种锁存器的结构, 并对各模块电路进行了分析设计。

第三章介绍 1:4 分接器的电路设计。首先阐述了复用技术的原理及分接器的基本结构, 接着介绍了 CMOS 逻辑电路及触发器的设计, 随后分别对各模块及接口电路进行了分析。

第四章介绍版图设计。首先介绍了版图设计引入的效应及设计时须注意的要点, 接着专门分析了焊盘的模型并做出了改进。随后分别以 1:4 分频器及 1:4 分接器为例介绍如何设计低电压超高速电路的版图。最后给出了版图设计时常用的服务器指令。

第五章介绍芯片测试及结果分析。介绍了 1:4 分频器的在片测试结果及封装测试结果, 并分别给出了结果分析。

第六章为全文的结论。

参考文献

- [1] 纪越峰 赵荣华 顾晓仪 李国瑞 “光纤数字通信实用基础” 科学文献技术出版社
- [2] 赵梓森等 中国通信学会主编 “光纤通信工程 (修订本)” 人民邮电出版社
- [3] 王志功编著, “光纤通信集成电路设计”, 高等教育出版社, 2003 年 6 月

第二章 1:4 分频器的电路设计

本文的目标之一是采用 $0.18\mu\text{m}$ CMOS 标准工艺设计工作速率超过 20GHz 的 1:4 超高速分频器。通常，分频器有两种构成方式：由触发器构成的数字分频器和注入锁定的模拟分频器。这两种分频器都有着较为广泛的应用，这里将对这两种类型的分频器进行分析，通过比较决定所采用的分频器结构。

★ 注入锁定分频系统^[2-1]

注入锁定分频系统的框图如图 2.1 所示。其工作原理：输入信号和输出信号经过混频器混频后产生上、下边带信号 $f_{in}\pm f_{out}$ ，再经过低通滤波器后就只有低频的 $f_{in}-f_{out}$ ，经过放大器放大后输出。只要设计电路使其满足 $f_{in}-f_{out}=f_{out}$ ，即可产生 $f_{out}=f_{in}/2$ 。

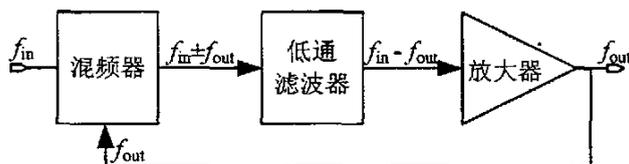


图 2.1 注入锁定分频系统

该分频系统具有输出时钟稳定，失调量小的特点，用于对输出时钟要求较高的场合。利用这种技术可以实现非常高速的分频器设计^[2,2]。但是这种分频器的结构一般比较复杂，功耗偏大。如果为了减小功耗而采用 LC 谐振的方法设计，会涉及到电感这一不太容易实现的器件。而在 CMOS 工艺中，即使实现了其感值，Q 值也不理想。因此，如果对器件模型没有精确的把握，设计得到的芯片往往不能实现理想的功能。

★ 锁存器构成的数字分频器

由锁存器 (Latch) 构成的数字分频器结构相对简单，不需要借助电感这一比较难实现的器件。而且功耗相对较低，可分频范围较大，在实际系统中有着广泛的应用。锁存器构成的数字分频器如图 2.2 所示。CLK、CLKN 为一对差分输入信号，Q、QN 为差分输出信号，且其频率为输入信号的一半，实现二分频的功能。

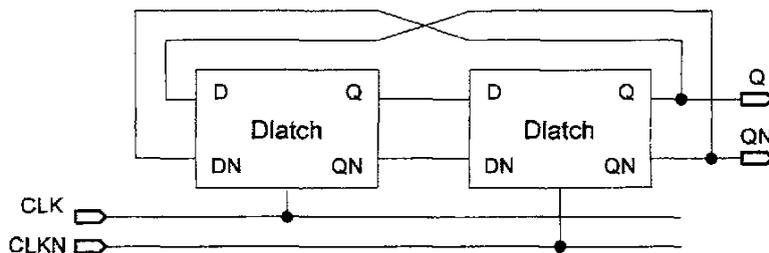


图 2.2 锁存器构成的分频器框图

通过对上述两种分频器类型的分析比较，本次设计采用的分频器结构是由锁存器构成的数字分频器。在决定了类型之后，锁存器的选择变得很关键，下文将对锁存器展开论述。

2.1 触发器与锁存器

论及锁存器 (Latch)，不得不提到触发器 (Flip-flop)，这是两个经常在一起出现而往往会被混淆的概念。这两者的区别在于：触发器以边沿触发方式工作，而锁存器以电平触发方式工作。图 2.3 从时序上给出了触发器和锁存器的区别。电平触发会导致竞争 (Race)，从而产生逻辑错误。而边沿触发则不存在这个问题。因此实际系统中一般使用触发器。两个锁存器串联，时钟反相，可以构成主从结构 (Master-Slave) 的触发器。实际系统中的触发器通常由锁存器构成，因此由触发器构成的分频器的基本单元就是锁存器。

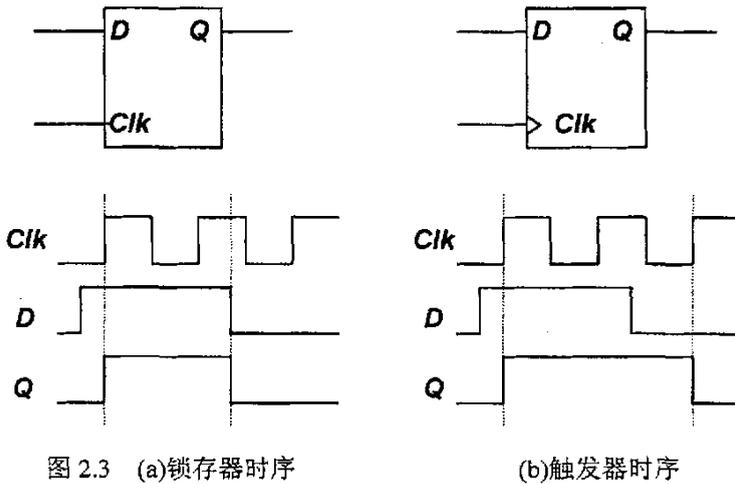


图 2.3 (a)锁存器时序

(b)触发器时序

主从结构 (Master-Slave) 实现的触发器：如图 2.4(a)所示。它的工作原理分两个节拍：一，在时钟的前半个周期，主锁存器在低电平 (或高电平) 时采样输入数据，从锁存器维持上个周期的输出；二，在时钟的下半周期，主锁存器不接收输入信号，维持前半个周期所采样的信号值，从锁存器采样主锁存器的输出，改变输出信号值。主从结构在整体上表现出来的性能为触发器在时钟的上升沿 (或者下降沿) 对输入数据进行采样，并且翻转，输出新信号值，解决了竞争问题。由于两级串联的锁存器均有对数据进行恢复的特性，因此主从结构的触发器还可以用于数据恢复。在本文的分接器的设计中采用图 2.4(a)主从结构的触发器。

脉冲触发(Pulse-Triggered) 实现的触发器：结构参见图 2.4(b)，它的工作原理是减小用于触发的时钟宽度，保证在时钟工作的时间内数据不会发生变化，从而避免竞争的发生。

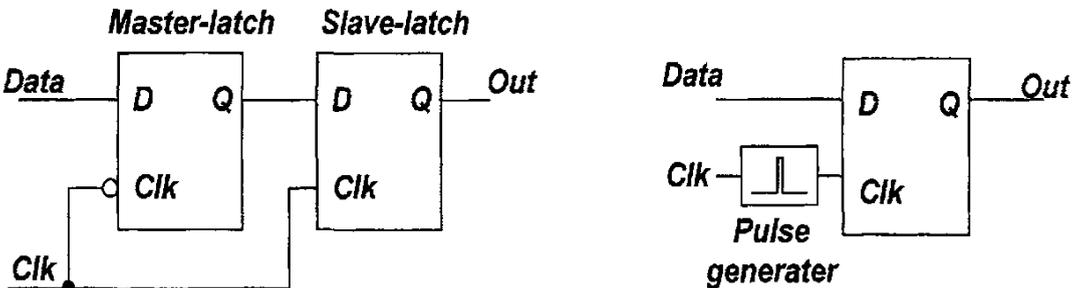


图 2.4(a) 主从 D 触发器

(b) 脉冲触发 D 触发器

锁存器按照其保持和采样单元 MOS 管的栅宽之比 ($W_{\text{Hold}}/W_{\text{Sample}}$) 可分为动态锁存器和静态锁存器。一般认为, 在相同输入信号幅度的条件下, 静态锁存器 ($W_{\text{Hold}}/W_{\text{Sample}} \geq 1$) 的工作频率可以涵盖较宽的范围, 但其最高工作频率较低^[2,3]; 随着栅宽之比的降低, 锁存器的最高工作频率提高, 但工作范围变窄, 即为动态锁存器。值得注意的是, 在实际应用中, 并不刻意区分动态锁存器和静态锁存器。可以看出, 最高可分频速率与最大可分频范围不可兼得, 因此应根据实际需要与系统指标, 在最高工作频率与工作范围之间进行权衡, 以达到两者性能的最优化。由静态锁存器构成的分频器即为静态分频器, 由动态锁存器构成的分频器即为动态分频器, 两种分频器与两种锁存器有类似的特点。一般, 动态分频器的最高速率比静态分频器提高约 40%。本文设计的分频器属于动态分频器。

2.2 锁存器的选择

锁存器, 作为电路设计中的基本单元, 其结构在世界范围内被广为研究。为了能实现低电压低功耗超高速的应用, 有必要对锁存器的诸多结构进行分析及精心选择。下文将逐一介绍有代表性的几种锁存器结构。

2.2.1 源极耦合逻辑 (SCFL) 锁存器

通常, 超高速分频器采用 SCFL 逻辑实现的居多^[2,4], 电路如图 2.5 所示。SCFL 逻辑包括三个差动电流开关, 分别是 NM1、NM2, NM3、NM4, NM5、NM6。由 R1、R2 组成的负载电路将逻辑组合输出电流变换为电压输出, 从而实现逻辑非的功能。SCFL 锁存器输出 $Q' = D_i \cdot CK + Q \cdot CK_n$, 可见当时钟为正半周 ($CK=1, CK_n=0$) 时, $Q' = D_i$, SCFL 锁存器对输入信号进行采样, 并输出该采样值; 时钟进入负半周 ($CK=0, CK_n=1$) 后, $Q' = Q$, SCFL 锁存器保持采样值直到下一采样时刻 (时钟正半周)。

SCFL 逻辑的电路速度正比于充放电电流大小, 反比于信号的电压摆幅, 摆幅由等效负载电阻和偏置电流决定。由于该逻辑可以工作在输入信号摆幅比较低的情况下, 因此电路速度较其他逻辑快。其特点是采用差分结构, 电路中存在成对的电路单元、信号线和终端, 通常结构对称, 信号相位相反或互补; 对共模的噪声和干扰有很强的抑制作用, 因此具有高稳定性; 由于差分线路电磁场集中于线路之间, 对外界的影响很小; 此外, SCFL 逻辑还具有可重复性、芯片成品率高、灵敏度高、驱动能力强、能够和 CML、PCML、ECL、PECL 等各种高速电路的接口兼容的优点。但这种逻辑电路结构复杂, 使用的晶体管数量多, 占用的芯片面积大, 功耗较高, 需要一对互补时钟。因此存在时钟歪斜的问题, 即使保持物理结构 (版图) 完全对称的情况下也会因为电特性的不对称而造成电路的不匹配。另外, 其堆叠结构需要较高的供电电压。

随着 CMOS 晶体管的特征尺寸 (feature size) 按比例减小 (scaling down), 电源电压也适当地按比例减小。低电源电压能节省功耗, 然而它也使得这种层数比较多的 SCFL 锁存器结构的电压分配变得比较困难。这是因为电源电压可以按比例减小, 阈值电压虽然也随着工艺的进步而减小, 但

是并不能按相应的比例减小。阈值电压减小的程度比电源电压减小的程度要小的现状就导致了这种 SCFL 锁存器中电压分配困难的问题。因此,这种结构的高速优势随着电源电压的降低而显著下降。在 $0.18\mu\text{m}$ CMOS 工艺中,电源电压 1.8V ,不考虑体效应时, NMOS 管的阈值电压约为 0.48V 。图 2.5 所示的锁存器,其电路有层之多,要保证每个晶体管的工作状态正确比较困难。此时,对电路速度的优化的难度也大。

因此,该结构不适用于低电源电压下的超高速分频器设计。

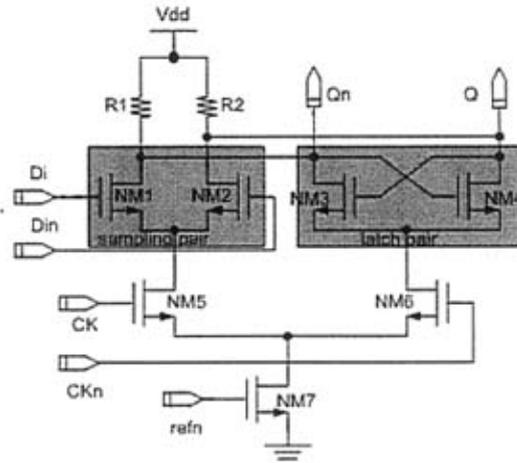


图 2.5 SCFL 逻辑锁存器

2.2.2 伪差分 (pseudo-differential latch) 锁存器

伪差分锁存器^[2.5]是为了解决上文分析的 SCFL 锁存器在低电源电压下存在的问题而提出的一种锁存器结构。

伪差分锁存器电路如图 2.6 所示。该锁存器包括一对差分数据输入、一对差分时钟输入和一对差分数据输出。分别为:采样差分对 M1 和 M2,保持差分对 M3 和 M4 及受时钟控制的晶体管对 M5 和 M6。

差分输入 CK 和 CKn 控制锁存器的工作状态。当 CK 为高电平, CKn 为低电平时, M5 导通, M6 关断。此时,采样差分对工作, Q 和 Qn 随着 D 和 Dn 而变化;保持差分对不工作。锁存器工作在采样模式。当 CK 为低电平, CKn 为高电平时, M5 关断, M6 导通。此时,采样差分对不工作, Q 和 Qn 不会随着 D 和 Dn 而变化;保持差分对工作, Q 和 Qn 的瞬时值就被存储在 M3 和 M4 构成的正反馈环中。锁存器工作在保持模式。

该锁存器在结构上与 SCFL 结构唯一不同的是去掉了时钟开关的共用电流源。这样电路减少了一层,低电源电压条件下电压分配的问题得到了缓解。因此晶体管参数的优化范围比较大,电路速度可以进一步的提高。

由于这种结构中受两个时钟控制的晶体管 M5 和 M6 是不相关的,需要完全互补的时钟信号来确保锁存器的正常工作。虽然这个条件在多数设计的比较好的高速系统中是比较容易满足的。但如

果作为电路的输入级，由于高速差分信号源不容易找到，电路的测试条件很难满足。

这种锁存器构成的分频器^[2.5]工作速率高达 18GHz(测试时在信号源和芯片之间使用了超高速的单端转双端器件)。

伪差分锁存器虽然解决了低电源电压下电压的分配问题，也可以实现很高的电路工作频率。但是由于这种结构要求输入时钟信号必须是互补的，而目前很多实验室还不具备产生宽带超高速差分信号的设备，因此，存在电路的测试问题。

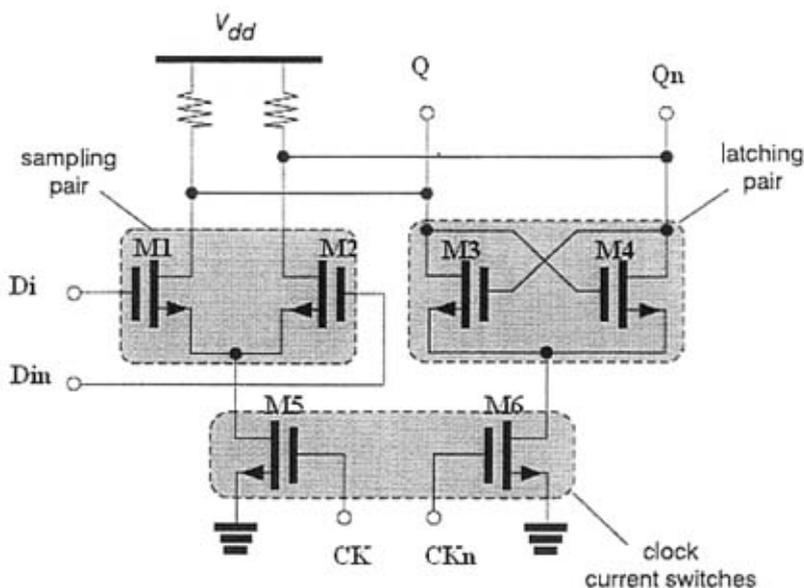


图 2.6 伪差分锁存器的电路结构

2.2.3 差动动态锁存器

限制上面两种锁存器速度的另一个关键问题是负载电阻 R_L 。该电阻的大小不容易确定，一方面，需要一个小 R_L 来减小充、放电时间常数，加快状态转换的速度；另一方面，需要一个大 R_L 来产生大的输出信号摆幅，这样才能驱动后续电路。为得到最大工作频率而优化 R_L 的理论^[2.6]已经建立起来了，然而，利用这个理论来确定 R_L 的过程是很复杂的。如果 R_L 能够被动态控制并能实现这样的功能：采样模式下阻值小，保持模式下阻值大，则锁存器的工作速度可以进一步提高。这样的 R_L 是比较理想的选择，又因为它的阻值可变，所以称其为动态负载。

前文提到了动态锁存器，此处出现了动态负载锁存器。先来看一下它们的异同，动态负载锁存

器指的是锁存器中负载的类型，而动态锁存器指的是锁存器的类型。动态锁存器可以是动态负载的，也可以不是动态负载的。动态负载锁存器可以是动态锁存器也可以是静态锁存器。两者之间没有必然的联系。

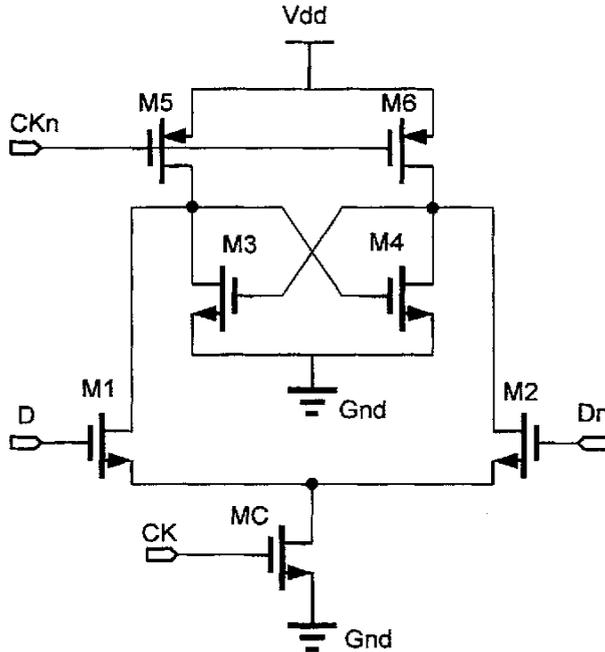


图 2.7 动态负载锁存器

动态负载锁存器电路^[2.7]如图 2.7 所示。这种锁存器由采样对管 (M1、M2)、保持对管 (M3、M4)、受时钟控制的开关管 MC 和负载对管 (M5、M6) 构成。与上述 SCFL、伪差分锁存器不同的是保持对管下面没有开关管。这种锁存器有两个时钟信号输入，这两个时钟信号的作用与上面两种锁存器中的时钟信号的作用不完全相同。上面两种锁存器中的时钟信号都与锁存器的工作模式有关系，而此处控制工作模式的只有 CK。CKn 的作用是实现动态负载，其控制 PMOS 管使之具有不同的阻值。

动态负载锁存器的工作原理如下：当 CK 是高电平时，MC 导通，采样对管 M1 和 M2 工作。此时 CKn 是低电平，PMOS 负载对管 M5 和 M6 工作在线性区，阻值较小，这样就能得到一个较小的时间常数。D 和 Dn 的状态很快就可以传递到 Qn 和 Q，这样就实现了采样过程；当 CK 是低电平时，MC 关断，采样对管 M1 和 M2 就不能工作了，Q 和 Qn 的状态也就不会发生变化。此时 CKn 是高电平，PMOS 对管呈现出较大的阻值，这样输出信号的幅度就会比较大。

采用该种结构的分频器^[2.7]在 0.25 μm CMOS 工艺，1.8V 电源电压下的最高工作频率可达 16.8GHz。由上可以看出，动态负载确实可以提高电路的工作速度，且可以保证输出信号幅度足够大。

由于 CK 和 CKn 具有相同的直流偏置。因此，必须仔细选择直流偏置。该值不能取得太低，否则 NMOS 管不能正常工作；亦不能取得太高，否则 PMOS 管不在理想的工作状态。而且该值也关系着充、放电电流的大小。如果充、放电电流过小，状态的转换会变慢，电路的速度自然会降低。

因此，时钟信号的偏置不易选择。

为了解决 PMOS 管和 NMOS 管采用相同的直流偏置的问题，有设计者提出对 PMOS 管和 NMOS 管分别进行直流偏置的设计^[2.8]。其电路如图 2.8 所示，该电路虽然解决了直流偏置的问题，但也引入了新的问题。为了使加到 PMOS 管和 NMOS 管上的偏置不同就必须对 CK 和 CK_n 信号进行隔直处理。如果这个电路是系统的输入级，可以采用片外隔直电容来实现，这样隔直处理不会成为问题。但如果这个电路不是用在系统的输入级，隔直电路及 PMOS 管和 NMOS 管的偏置电路就需在芯片内部实现，势必要用到无源器件电容和复杂的偏置网络。

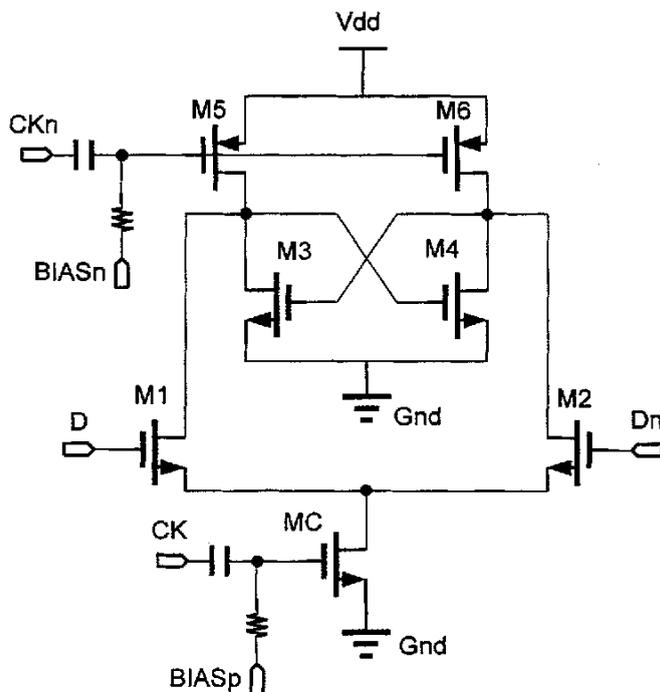


图 2.8 采用不同偏置的差动动态锁存器

在 CMOS 工艺中，最容易实现也最准确的是有源器件，无源器件不太容易实现，而且不太准确。在深亚微米集成电路中，可采用多种电容。PN 结反相偏置时的势垒电容^[2.9]，改变结面积及加在其上的反偏电压，可以控制它的电容量。这种电容存在较大的寄生电容。还可以采用金属-氧化物-半导体（简称 MOS）电容。MOS 电容是一个相当复杂的电容，有多层介质^[2.10]，电容量的计算也非常复杂。在 0.18 μm CMOS 工艺中还存在着 MiM 电容，这种电容是由两层金属和中间的介质构成的。MiM 电容比较准确，而且寄生效应也比较小，但是其电容量比较小、占用面积较大，不利于系统集成。从这些分析中可以看出，隔直电容的实现是比较困难的。这种结构解决了直流偏置的问题，从原理上可以实现更高速的工作，但是版图上却难以实现。所以本文没有采用这种锁存器来构成分频器。

2.2.4 单端动态锁存器

前面提到的几种动态锁存器都是由差分时钟信号控制的差动动态锁存器，本小节分析一种由单

时钟信号控制的单端锁存器^[2.11]。该锁存器的结构如图 2.9 所示：NMOS 输入对 (MN3、MN4) 用于采样模式下采样输入信号，NMOS 交叉耦合对 (MN1、MN2) 形成正反馈用于保持模式下保持输出信号，PMOS 负载管 (MP1、MP2) 作为锁存器的动态有源负载。单个时钟信号 Clk，连接到 PMOS 负载对管和 NMOS 开关管上。

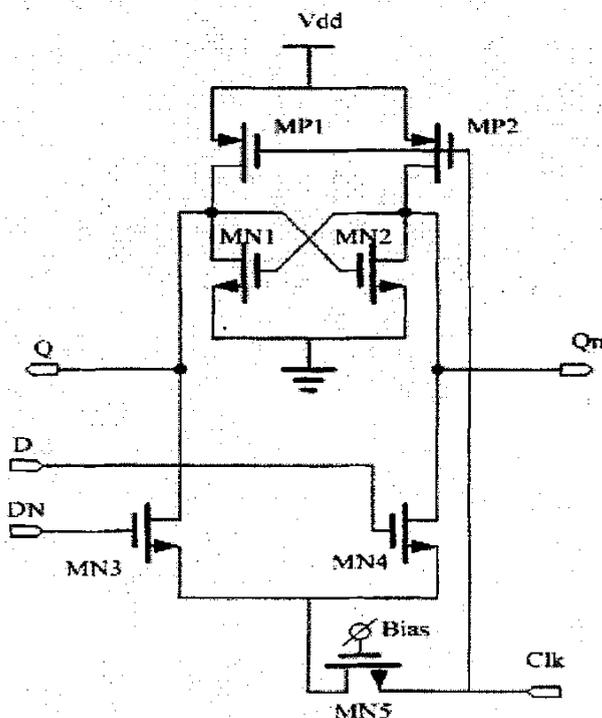


图 2.9 单时钟控制的单端动态锁存器

该锁存器与前述的两种差动动态负载锁存器有些相似之处：时钟都加到 PMOS 负载及 NMOS 晶体管开关上。时钟加到 PMOS 管的栅极使得负载的阻值发生变化，因此这种结构是动态负载锁存器。

与上述差动动态负载锁存器不同的是这种锁存器是单时钟输入的。时钟信号同时加在 PMOS 管的栅极及 NMOS 管的源极，而不是分别加在两管的栅极。

在 Clk 为低电平时，锁存器工作在采样模式下。这是因为：当 Clk 为低电平时，MN5 导通。此时，MN3 和 MN4 均可以正常工作，它们的漏极电压可以随栅极电压而变化，即输入数据可以被采样到输出端。此时，负载管 MP1 和 MP2 的等效阻值比较小，这样就在输出节点获得了一个较小的 RC 时间常数，状态转换可以很快完成。另外，MN1 和 MN2 构成的正反馈对也进一步加速了状态的转换。

在 Clk 为高电平时，锁存器工作在保持模式下。这是因为：当 Clk 为高电平时，MN5 关断。此时，MN3 和 MN4 均不工作，它们的漏极电压就不能随栅极电压而变化，而 MN1 和 MN2 构成的正反馈对将保持这种状态。此时，负载管 MP1 和 MP2 的等效阻值很大，这样就能在输出节点获得比较大的输出信号摆幅。

为了使锁存器能工作在更高的频率上,受时钟控制的 NMOS 开关管 MN5 是共栅极组态而不是共源极组态。通过使用共栅极组态,输入时钟信号 Clk 的直流偏置可以同时 PMOS 负载和 NMOS 开关进行优化。这个技术能使锁存器工作在更高的频率上,同时也带来了新的问题。共栅极组态的输入阻抗比较小,很难在输入端获得大的信号幅度。

此外,由于开关管 MN5 的导通和关断是锁存器工作在采样和保持模式的条件,因此要使锁存器正常工作, MN5 肯定不能始终导通。这样,比之于必须一直导通的电流源,该锁存器的功耗明显降低。

2.3.5 综述

以上 4 小节介绍和分析了四种通常采用的锁存器的结构,本节在此再对它们的性能进行综述和比较。

SCFL 锁存器: 由于电路有三层,在 1.8V 电源电压下,存在电压分配的问题。电路可以工作,但其高速性能显著下降。而且其电流源在整个工作过程中一直开启,因而功耗也比较大。综合而言,该结构不适合低电压低功耗超高速的应用;

伪差分锁存器: 正如先前所分析的,其对输入信号的差分性能要求比较苛刻,而高频差分信号又不容易产生。当其作为电路的输入级时,对电路性能的测试比较困难;

差动态负载锁存器: 这是一种高速锁存器结构,但对时钟偏置的选择比较困难。如果为了解决这个问题而分别偏置 PMOS 和 NMOS,又会用到复杂的无源偏置电路,如果必须在片内实现的话,在当前的 CMOS 工艺条件下,实现起来较为困难;

单端动态负载锁存器: 其采用动态负载技术,用以控制工作状态的开关管是共栅极组态,而采用了正反馈对可以加速采样,因此能获得很高的工作频率。它的另一特点是输出信号幅度较大。缺点是输入端的共栅极所引入的较小的输入阻抗在电路级联及级间匹配上对设计者提出了较高的要求。

基于上述锁存器的特点,本文的 1:4 分频器采用单时钟共栅极动态负载锁存器来构成分频器的基本单元。

2.3 系统设计

本次设计的目标是采用 0.18 μm CMOS 标准工艺设计工作速率超过 20GHz 的 1:4 超高速分频器。1:4 分频器的整体结构框图如图 2.10 所示,电路的核心部分是框图中间部分,即两个 1:2 分频器及它们之间的连接电路。第一级 1:2 分频器工作在最高频率上,第二级 1:2 分频器工作在相对低的频率上。为了便于区分这两个分频器,分别将之称为高速 1:2 分频器和低速 1:2 分频器。因为需要对芯片进行在片测试,必须考虑端口的阻抗匹配、电平匹配、信号幅度等因素。为了满足上述要求,电路中增加了输入和输出部分(即框图中的最左端和最右端)。输入部分要实现输入阻抗匹配和对输入信号进行处理等功能。输出部分则是保证测试时和测试仪器的匹配以及在示波器上得到一定信

号幅度的波形。

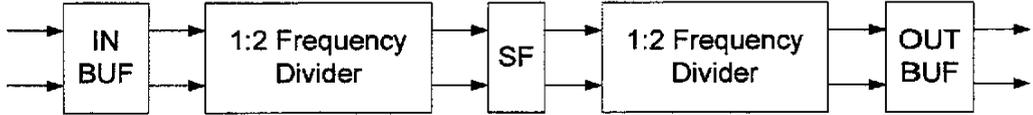


图 2.10 1:4 分频器的整体结构框图

这里的 1:2 分频器是基于单时钟动态负载锁存器的结构。锁存器虽然是单时钟的，但由于分频器中的两个锁存器只有工作在不同的模式下，才能实现分频功能，所以需要两个相差为 180° 的时钟信号。虽然对时钟信号的相位有以上要求，但对幅度的要求并不严格，即幅度不一定相等。所以，分频器需要的不是差分信号。而一对差分信号是相差为 180° 的两个信号的特例，故也能满足分频器的工作条件。

2.4 1:2 分频器

本文设计的 1:4 分频器是由两个 1:2 分频器构成的，这两个 1:2 分频器工作在不同的频率上，因此它们的设计要求是不同的。高速 1:2 分频器工作在最高的频率上，因此高速率是电路优化的主要目标。而低速 1:2 分频器的工作频率相对较低，因此低功耗是电路优化的主要目标。

通过对多种锁存器结构的分析和比较可知，单时钟共栅极动态负载锁存器具有高速低功耗的特点。因此，1:4 分频器模块中的高速 1:2 分频器及低速 1:2 分频器均可采用该锁存器结构来实现。

尽管前后两级 1:2 分频器都是基于单时钟动态负载锁存器的结构，但由于整个电路对它们性能要求的侧重点不一样，因此，在设计中必然需要分别对其进行细致的优化以获得最优的级联效果。

2.4.1 结构及工作原理

基于 TFF (Toggle Flip-Flop) 的分频器通常由两个相同的互相耦合的锁存器构成。1:2 分频器的模块框图如图 2.11 所示。图 2.12 所示为 1:2 分频器的电路结构，两个相同的单时钟动态负载锁存器交叉耦合构成该分频器。每个锁存器由单时钟信号 Clk 或 Clkn 控制，它们在时钟的作用下周期性地交替工作在采样模式和保持模式。这里假定由 Clk 控制的锁存器为主锁存器(Master latch)，由 Clkn 控制的锁存器为从锁存器(Slave latch)。

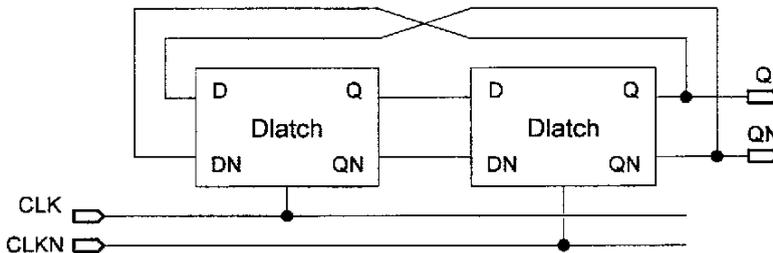


图 2.11 1:2 分频器的单元模块图

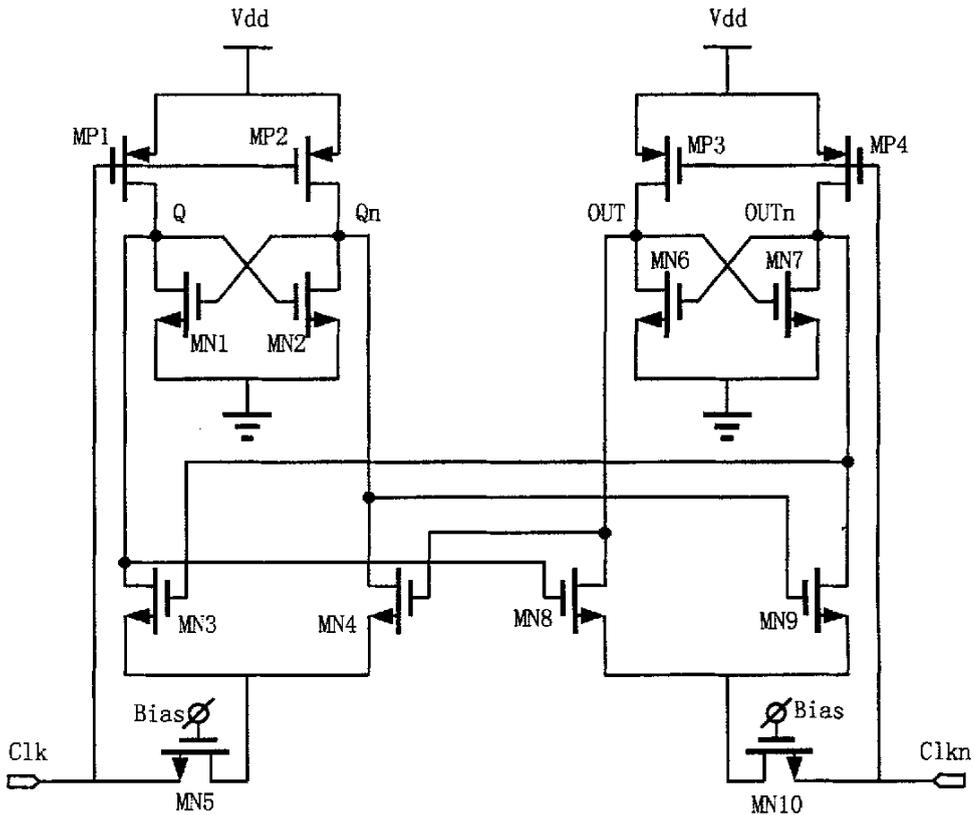


图 2.12 1:2 分频器的电路结构

参见图 2.12 分析 1:2 分频器的工作原理。当输入时钟 Clk 为低电平、Clkn 为高电平时，主锁存器工作在采样模式，从锁存器工作在保持模式。此时，主锁存器的输入端状态被采样到该锁存器的输出端，从锁存器的输出状态保持不变；当输入时钟 Clk 为高电平、Clkn 为低电平时，主锁存器工作在保持模式，从锁存器工作在采样模式。此时，主锁存器的输出状态保持不变，从锁存器的输入状态被采样到该锁存器的输出端，也即 1:2 分频器输出端的状态发生了变化。这样，两个低电平触发的锁存器就构成了一个主从 D 触发器，即构成一个 2 分频器。

以图 2.12 中的电路图为例分析 2 分频的逻辑功能的实现。为了方便分析，做出如下假定：时钟是理想的方波信号；开关管（MN5 或 MN10）和采样管（主锁存器中 MN3 或 MN4，从锁存器中 MN8 或 MN9）总的开关时间记为 τ ；开关管可以完全导通或截止，其它因素忽略不计。同时，为了便于描述，用“1”表示高电平，用“0”表示低电平。

假定初始时刻 Clk 为 0，Clkn 为 1，OUT 为 1，OUTn 为 0。初始时刻：Clk 为 0，Clkn 为 1，因而 MN5 导通，MN10 关断。此时 MN3 和 MN4 处于工作状态，MN8 和 MN9 则无法工作。在 Clkn 为 1 期间，OUT 和 OUTn 的状态不会发生变化。此时不管 Q 和 Qn 的初始状态是什么，由于 OUT 是 1，OUTn 是 0，则 MN4 导通、MN3 关断。经过一个时间 τ 后，Qn 变成 0、Q 变成 1。当 Clk 变成 1 后，由于 Clk 和 Clkn 是差分信号，Clkn 就变成 0。此时，MN5 关断，MN10 导通。MN3 和 MN4 无法工作，MN8 和 MN9 处于工作状态。在 Clk 为 1 期间，Q 和 Qn 的状态不会发生变化。由于 Qn 为 0、Q 为 1，则 MN8 导通、MN9 关断。再经过一个时间 τ 后，OUT 变为 0，OUTn 变为 1。

因为在 CLK 为 1 期间, Q 和 Qn 的状态不会发生变化, 因此 OUT 和 OUTn 的状态反转一次之后不再发生变化, 直到 Q 和 Qn 的状态再次发生变化。当 Clk 再次变为 0、Clkn 再次变为 1 时, MN5 导通、MN10 关断。MN3 和 MN4 处于工作状态, MN8 和 MN9 无法工作。在 Clkn 为 1 期间, OUT 和 OUTn 的状态不会发生变化。由于 OUT 为 0, OUTn 为 1, 所以 Q 变为 0、Qn 变为 1。当 Clk 再次变为 1、Clkn 再次变为 0 时, MN5 关断、MN10 导通。MN3 和 MN4 无法工作, MN8 和 MN9 处于工作状态。在 Clk 为 1 期间, Q 和 Qn 的状态不会发生变化。由于 Q 为 0, Qn 为 1, 所以 OUTn 变为 0、OUT 变为 1。从前面的分析中可以得到这样的规律: Q 和 Qn 状态的改变发生在 Clk 的下降沿, OUT 和 OUTn 状态的改变发生在 Clkn 的下降沿; 在每个时钟周期内 Q、Qn、OUT 和 OUTn 只发生一次状态的变化。按照这个规律进行下去, 可得图 2.13 所示的分频器的工作波形。

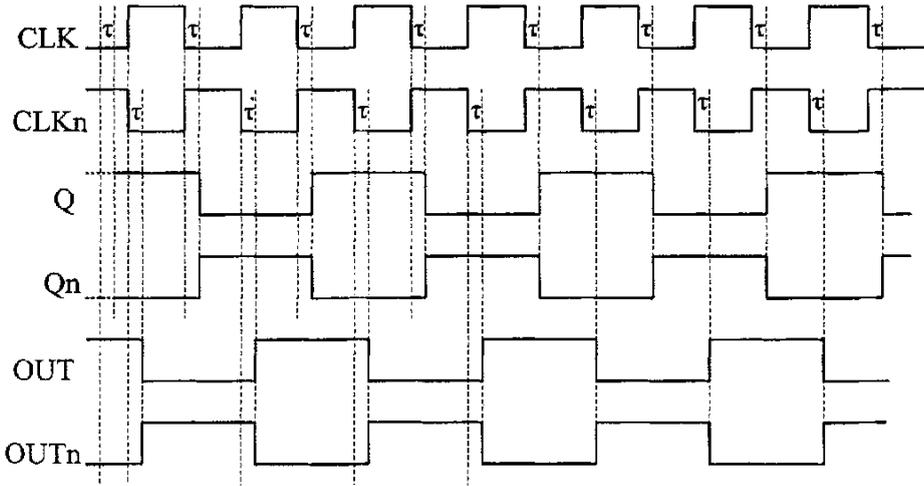


图 2.13 1:2 分频器的工作波形

从图 2.13 所示的波形中, 可以得到以下结论:

(1) 在每个时钟周期内 Q、Qn、OUT 和 OUTn 只发生一次状态的变化, 从而可以避免状态的不确定性, 这是主从结构触发器的一个优势;

(2) OUT 和 OUTn 状态的变化发生在 Clkn 的下降沿, 即 CLK 的上升沿。可见, 这是一个基于上升沿触发的 D 触发器结构的分频器;

(3) 每个输入时钟周期 T 内至少要包括两个 τ , 否则就不能分频。即要满足:

$$T \geq 2\tau \tag{2-1}$$

也即输入时钟频率 $f=1/T$ 要满足:

$$f \leq 1/2\tau \tag{2-2}$$

可以得到分频器的最高工作频率 f_{\max} :

$$f_{\max} = 1/2\tau \tag{2-3}$$

由于分频器的反馈方式与振荡器类似, 当时钟输入端只加直流偏置时, 主从锁存器可以被看作放大器, 而分频器有可能产生自由振荡, 此时可以将分频器看作振荡器。通过自由振荡频率 f_{osc} , 可以得到每一级锁存器的延迟时间 τ_0 :

$$f_{osc} = \frac{1}{2\tau_0} \quad (2-4)$$

这里, 需要注意的是 τ_0 与前面提到的 τ 是两个不同的概念。 τ_0 是分频器中每一级锁存器的实际延迟时间, 与电路的工作情况有关系。而 τ 则是只考虑关键因素的延迟时间, 是实际延迟时间可能达到的最小值。因此 τ_0 总是大于 τ 的。

如果分频器的输出信号频率就在其自由振荡频率 f_{osc} 附近, 即输入信号频率在 $2f_{osc}$ 附近时, 只要输入幅度很小的信号就能实现分频, 此时分频器的灵敏度是最高的, 该频率对应着分频器灵敏度曲线的谷底。因此, 在设计分频器时, 尽量把 f_{osc} 设计在所需工作的频率附近。

2.4.2 设计过程

由前述可知, 整个 1:4 分频器中的核心模块是由两级 1:2 分频器构成的, 而该两级 1:2 分频器均由两个相同的单时钟动态负载锁存器构成。因此, 1:2 分频器的设计实际上就是单时钟动态负载锁存器的设计。

由于 1:2 分频器的反馈方式与振荡器类似, 所以由锁存器构成的分频器通常可以自由振荡。

在设计分频器时, 一般将锁存器级联成 D 触发器进行设计。分频器的设计通常采用静态工作点 (.Op) 分析与瞬态分析 (.Tran) 相结合的方法。静态工作点分析确保各晶体管的工作状态正确。在保证静态工作点正确的情况下, 进行瞬态分析, 使分频器能自由振荡, 测算分频器自由振荡时的输出频率。如果要求分频器正常工作时输入的时钟频率为 f , 则认为分频器自由振荡的输出频率为 $f/2$ 为最佳。

现在以本文所要设计的锁存器为例来说明锁存器的设计过程:

首先进行静态工作点分析。以主锁存器为例, 锁存器的直流工作点的设置在理论上必须满足: 当 Clk 是低电平时, MN5 导通, MP1 和 MP2 工作在线性区; 而当 Clk 是高电平时, MN5 关断, MP1 和 MP2 工作在截止区。这是因为: Clk 为低电平时, 锁存器处于采样模式, 希望充、放电电流大, 充、放电时间常数小。总电流的大小由流过 MN5 管的电流决定, 时间常数与 MP1 和 MP2 的等效电阻值近似成正比。只有当 MN5 导通时电路才工作在采样模式, PMOS 工作在线性区时导通电阻较小; 当 Clk 为高电平时, 锁存器处于保持模式, 输出状态保持不变, 希望输出信号的幅度大。只有当 MN5 关断时电路才能工作在保持模式, 而输出信号的幅度与负载电阻的大小成正比, PMOS 工作在截止区时阻值较大。

为便于理解, 下文进行一些简单的定量分析。以图 2.12 中的从锁存器电路为例来说明。

要保证 Clkn 为低电平时 MN10 导通, MP3 和 MP4 工作在线性区要满足下列条件:

$$V_{GS_{Mn10}} > V_{TH_{Mn10}} \quad (2-5)$$

$$|V_{DS}|_{Mp3,4} < |V_{GS} - V_{TH}|_{Mp3,4} \quad (2-6)$$

$$|V_{GS}|_{Mp3,4} > |V_{TH}|_{Mp3,4} \quad (2-7)$$

要保证 Clkn 高电平时 MN10 关断, MP3 和 MP4 工作在截止区要满足下列条件:

$$V_{GSMn10} < V_{THMn10} \quad (2-8)$$

$$|V_{GS}|_{Mp3,4} < |V_{TH}|_{Mp3,4} \quad (2-9)$$

其中,

$$V_{GSMn10} = V_{BIAS} - V_{CLKn} \quad (2-10)$$

$$|V_{DS}|_{Mp3,4} = |V_{OUT} - V_{DD}| \quad (2-11)$$

$$|V_{GS} - V_{TH}|_{Mp3,4} = |V_{CLKn} - V_{DD} - V_{THMp3,4}| \quad (2-12)$$

$$|V_{GS}|_{Mp3,4} = |V_{CLKn} - V_{DD}| \quad (2-13)$$

下标 GS、DS、TH 分别表示晶体管的栅源、漏源、和阈值；下标 MN10、MP3,4 分别表示晶体管 MN10 和 MP3,4；下标 BIAS、Clkn、OUT 分别表示这些节点； V_{DD} 是电源电压 1.8V。由于存在体效应， V_{THMn10} 会随 V_{CLKn} 而变化。这里用 V_{CLKn}^- 表示 Clkn 为低电平时的值，用 V_{CLKn}^+ 表示 Clkn 为高电平时的值，用 V_{THMn10}^- 表示 CLKn 为低电平时 Mn10 管的阈值电压，用 V_{THMn10}^+ 表示 CLKn 为高电平时 MN10 管的阈值电压。由公式 (2-5) 和 (2-10) 可以得到：

$$V_{CLKn}^- < V_{BIAS} - V_{THMn10}^- \quad (2-14)$$

由公式 (2-8) 和 (2-10) 可以得到：

$$V_{CLKn}^+ > V_{BIAS} - V_{THMn10}^+ \quad (2-15)$$

由公式 (2-6)、(2-7)、(2-11) 和 (2-12) 可以得出：

$$V_{CLKn}^- < V_{OUT} - |V_{TH}|_{Mp3,4} \quad (2-16)$$

由 (2-9) 和 (2-13) 可以得出：

$$V_{CLKn}^+ > V_{DD} - |V_{TH}|_{Mp3,4} \quad (2-17)$$

由公式 (2-16) 和 (2-17) 可以大体确定 Clkn 的直流工作点。再由公式 (2-14) 和 (2-15) 可以大体确定偏置 BIAS 的值。

以上是从动态负载最佳的角度来考虑直流工作点的设置的。值得注意的是：由时钟控制的 NMOS 开关管的导通和截止是锁存器工作在采样模式和保持模式的必要条件，而 PMOS 负载是否工作在线性区和截止区只是实现动态负载的充分非必要条件。若 PMOS 负载管始终工作在线性区，电阻值也随栅极电压的变化而变化。当 Clkn 是低电平时，电阻值相对小一些；当 Clkn 是高电平时，电阻值相对大一些即能实现动态负载。

电路设计的过程中不仅要考虑动态负载，还要考虑充、放电电流的大小等因素。因此，上述过程确定的直流工作点未必是最佳的，还要综合电路的实际工作情况做出调整。

通过静态工作点的分析，确定了某些节点的电压范围。现把两个锁存器连接成分频器的形式，

给出晶体管的主要参数，借助直流分析使得晶体管的参数满足工作点要求，当然也可改变时钟及偏置的中心电平。然后对此时的电路进行瞬态分析，适当调整晶体管的参数，会出现自由振荡波形。通过对波形的估算，可得分频器的自由振荡频率。仔细调整电路参数，使自由振荡频率接近期望的工作频率。这样锁存器的设计即 1:2 分频器的设计就基本完成了。

本文意在低电压条件下设计超高速分频器，因此锁存器的速度是考虑的首要问题。

为使锁存器工作到较高的频率上，这里的锁存器设计为动态锁存器。锁存器中决定其工作速度的因素有：OUT、OUTn 两节点的电容，输出电压摆幅和充、放电电流。为提高电路速度，电路设计过程中要尽量减小 OUT、OUTn 两节点的电容，增大充、放电电流，而对输出电压摆幅的要求要从两方面考虑。输出电压摆幅过大，则充、放电过程持续时间会增加，输出电压摆幅过小，则无法驱动后续电路。因此，要合理设计输出电压摆幅。

2.4.3 设计要点

在以往的分频器中，时钟开关都是共源极配置的。而本文所设计的分频器，时钟开关是共栅极配置的。共源极电路的输入阻抗很大，而共栅极电路的输入阻抗一般较小。因此，本文所用的分频器与以往分频器在电路连接时所需要考虑的重点不同。

以往分频器中的锁存器都是由一对差分时钟来控制。因此，分频器对时钟的直流电平不太敏感。而本文所用的分频器是由单时钟动态负载锁存器构成的，每个锁存器仅由单个时钟信号控制。因此，该分频器对时钟的直流电平比较敏感。

本文所用的分频器中的锁存器只有一个时钟开关管，而这个开关管又不是一直导通的。因此，功耗比较低。

虽然锁存器是单时钟的，但是分频器却需要两个相差为 180° 的时钟信号。只有这样才能保证一个锁存器工作在采样模式时，另一个锁存器工作在保持模式下，分频功能才能实现。

该分频器采用动态负载技术，电路速度可以提高很多。与以往动态负载技术的不同之处是：负载对时钟直流电平的要求和开关对时钟直流电平的要求不是相互矛盾的，而是一致的。因此，时钟直流电平的选择余地比较大。时钟直流电平的选择是限制某些高速分频结构在 $0.18\mu\text{m}$ CMOS 工艺，1.8V 电源电压下高速性能的主要原因之一。

设计 1:2 分频器时应该注意以下几个问题：

1) 考虑负载的影响。既然输出节点的电容对锁存器的速度有很大影响，也就对 1:2 分频器的速度有较大影响。设计 1:2 分频器时，如果不考虑负载的影响，则精心优化的电路，用在系统中可能不能满足要求，甚至不能工作。这样，分频器的参数势必要重新调整。因此，为使 1:2 分频器在系统中工作时能达到预期的效果，有效的设计方法是仿真时考虑负载对分频器的影响。

2) 考虑外界环境的影响。由于电路速度比较高，尤其是工作在电路前端的 1:2 分频器，外界环境对电路性能的影响就特别明显。为确保电路设计的正确性，增加电路的稳定性，电路设计时要考虑外界环境的影响。比如，要对电源电压的波动和温度的变化进行仿真。设计良好、性能稳定的电路应该对一定范围内电源电压的波动和温度的变化不敏感。调整 1:2 分频器的参数，在对外界环境

一定范围内的变化不敏感的情况下，争取最高的速度。

3) 考虑互连线的影响。在电路设计的前期，仿真中用到的连线是完全理想的情况。而实际电路中的互连线则既有长度又有宽度，对高频电路而言，互连线上的寄生电容、寄生电阻对性能都有很大影响。因此，互连线对高速 1:2 分频器性能的影响自然也很大。然而，在电路仿真的初期无法估计互连线的影响，不过，寄生电容会使电路的速度降低。因此，对互连线的考虑是：仿真时要把分频器的速度设计的比预期工作的频率要高 10% 左右，版图中的互连线尽量短。

2.5 缓冲及接口电路

由图 2.10 可知，缓冲电路 (SF) 位于整体 5 个模块的中间，那它具体扮演什么样的角色呢，是不是不可或缺？有哪些方案可以实现？本节将重点阐述这些问题。

2.5.1 级间缓冲的必要性及设计

级间缓冲要解决的是相邻两级之间的电平匹配、阻抗匹配等问题，使前后级的电路减小相互的不利干扰，能正常工作。本文的级间缓冲主要是用来匹配前后两级 1:2 分频电路。

由于设计思想不一样，加之采用单端动态锁存器方案的分频器的输出中心电平较高，因此高速 1:2 分频器的输出电平与低速 1:2 分频器的输入电平相差很多，因此首先要解决的是电平匹配问题。由于分频器的输入级是共源极的配置，显而易见，其输入阻抗比较小，因此，级间缓冲还要考虑阻抗匹配的问题。合理的级间缓冲不会对前后两个分频器的性能造成很大影响。

由于电路的最高工作速率超过 20GHz，级间缓冲除了解决上面两个问题，还要从以下两个方面进行考虑：

1) 该缓冲不能对前级的高速分频器产生过大的负载

显然，第一级的高速 1:2 分频器是整个 1:4 分频器的“火车头”，它的工作速度决定了整个电路的速度，因此使之尽量实现高速度是电路优化的首要目标。对其而言，除了保证它的输入信号尽量理想外，应尽可能地减小其输出节点的负载电容。而级间缓冲直接接在高速 1:2 分频器的输出端，其等效为一个负载电容，因此，应适当的选用晶体管的尺寸，使之不对高速 1:2 分频器产生过大的负载。

2) 低速分频器输入端的信号幅度要大

由于该锁存器的特点之一即为输入端采用共源极配置，因此，分频器的输入阻抗很小。带来的直接问题就是很难在其输入端获得较大的信号幅度。而对于级间缓冲的后级，低速 1:2 分频器来说，其只有在输入信号幅度达到一定值时才能准确分频。因此，希望高速 1:2 分频器的输出再经过级间缓冲之后没有太大衰减，从而能在低速 1:2 分频器的输入端产生足够大的信号幅度。

级与级之间有两种连接（耦合）方式^[2,12]：一是具有隔直流作用的连接；另一种是直接连接。在前一种连接中，电容耦合用得较多，各级直流工作点由本级偏置电路设定，不受相邻级的影响。直接连接又称直接耦合，它是前后级直接连接的一种耦合方式。在这种耦合方式中，信号直接从前

级传送到后级。但存在着需要解决的两个问题：一是级间电平的配置；二是克服温漂的有害影响。

为使级间缓冲电路能达到最好的效果，本文尝试了以下几种方式。

1) 采用隔直电容和电阻。如图 2.14 所示（电路中的其它部分未画出）。由于电容的隔直流作用，低速 1:2 分频器的直流工作点由电阻和时钟开关管的偏置电压决定。高速 1:2 分频器的输出信号则通过电容加到低速 1:2 分频器的输入端。由于 bias 的电压值对低速 1:2 分频器的性能影响比较大，所以低速 1:2 分频器的输入电平主要是通过调节电阻的大小来获得。该方法可以实现电平转换，1:4 分频器也可以在一定的频率范围内正常工作。由于高速 1:2 分频器输出的频率已经不是很高，此时隔直电容就要取得相对大一些。而从版图方面考虑，要达到所需要的电容值，必须占用很多面积，因此这并不是一个非常理想的选择。

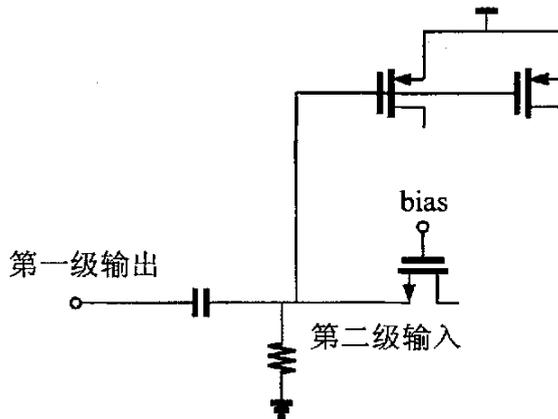


图 2.14 电容耦合

2) 采用源极跟随器。如图 2.15 所示（电路中的其它部分未画出）。高速分频器的输出直接加到源极跟随器的输入端，源极跟随器的输出则作为低速分频器的输入。在 $0.18\mu\text{m}$ CMOS 工艺、1.8V 电源电压下，通常不采用源极跟随器。主要原因是电源电压太低，信号经过源极跟随器后电平下降过大，一般不适合加到晶体管的栅极上。不过，此处的源极跟随器的输出不是加到 NMOS 管的栅极上，而是加到 NMOS 管的源极和 PMOS 管的栅极上，电平恰恰不需要太高。因此，可以使用源极跟随器。从仿真结果来看，该方式能保证 1:4 分频器工作正常且对前后两级分频器的性能影响不大。

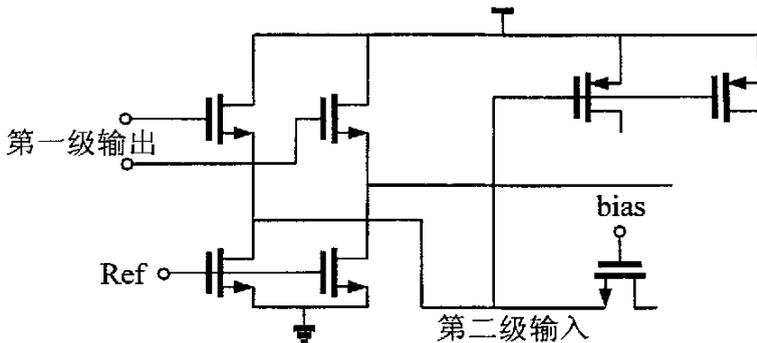


图 2.15 直接连接源极跟随器

3) 在高速 1:2 分频器后先用缓冲再用源极跟随器^[2,13]。如图 2.16 所示（电路中的其它部分未画出），这里的缓冲是一个差分放大器。采用缓冲可以使得高速 1:2 分频器的输出信号幅度大一些，这

样可使得低速 1:2 分频器的输入信号幅度增大。源极跟随器则可以隔离低速分频器对高速分频器的影响，同时实现电平转换。用这种级间连接方式可以实现 1:4 分频。从前仿真上看，效果还可以。不过，差分放大器会占用一些面积，同时功耗也会增加。

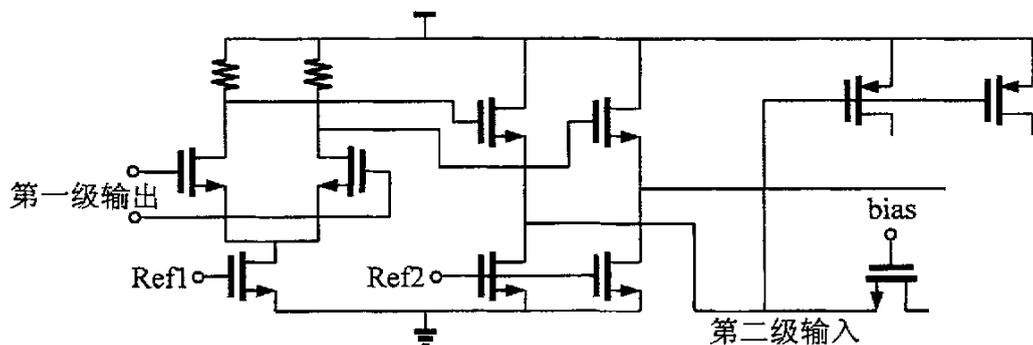


图 2.16 先缓冲放大再接源极跟随器

经过上述分析，再通过仿真比较可知：第一种实现方式效果稍微差一些，第二种方式和第三种方式效果差不多。但是第三种方式较复杂，而且要付出面积和功耗的代价。而本文追求超高速下的低功耗，因此采用第二种方式，既实现了电平配置，又起到了一定的隔离作用。

因为分频器的输入电平通常比较低，如果高速分频器的输出信号幅度过大，源极跟随器的电流源有可能从饱和区进入线性区，会影响电路的正常工作。电路设计的过程中要特别注意这一点。

2.5.2 输入输出接口的设计

一块芯片，核心部分设计的再好，如果因为输入输出接口的原因，出现如下问题：实际进入片内核心部分的输入信号不理想；与测试仪器的匹配没有做好，得不到较好的输出波形。这些细节都有可能使芯片设计者的心血付之东流，得不到理想的设计结果。因此，输入输出接口在电路设计环节也是很重要的一个部分，需要设计者认真仿真。

首先介绍输入接口的设计。因为高速 1:2 分频器需要的是相差为 180° 的信号，差分信号当然能满足要求。输入是差分信号时，电路的输入部分相对简单些，只需做好输入匹配就可以了。因为测试时通常是加隔直流的信号，所以输入匹配通常和核心电路输入端的偏置电路做在一起。

图 2.17 是本文所采用的输入匹配电路。IN1 (IN2) 通过传输线和隔直电容与信号源相连，O1 (O2) 则接到高速 1:2 分频器的输入端。R1、R2 阻值为 50 欧姆，其中，50 欧姆是与传输线进行阻抗匹配，减小输入反射系数。R3、R4 替代传统输入缓冲电路中的 MOS 管是因为第一级分频器所需的输入直流电平比较低，因此用电阻分压更加合适。图中，晶体管和电阻分压为电路提供直流工作点，而 R3 与 R4 中间的节点对差分信号而言是虚地点。对差分信号来说，从 IN1 (IN2) 处往电路内部看，输入阻抗为 50 欧姆，这样就实现了阻抗匹配。

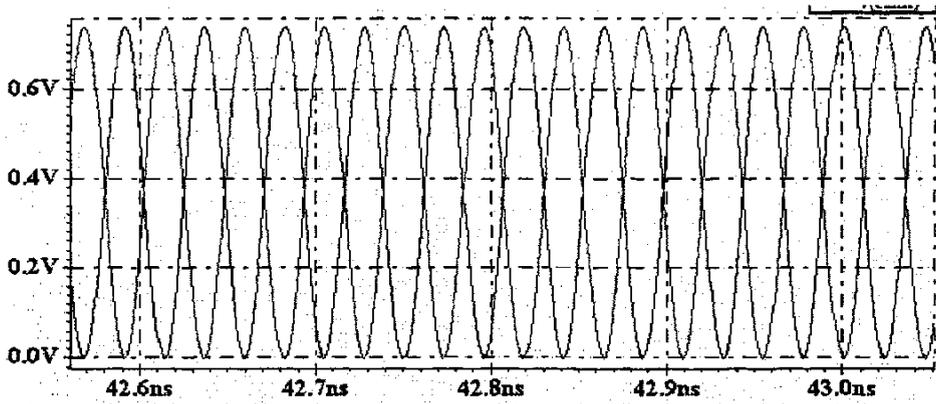


图 2.19(a) 22GHz 的差分输入信号波形

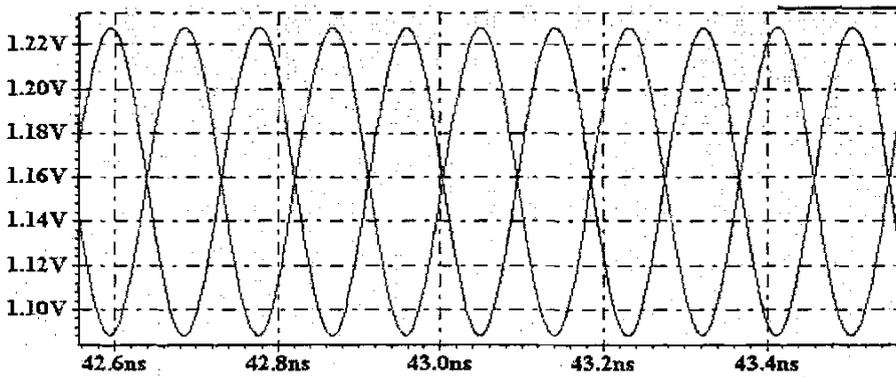


图 2.19 (b) 5.5GHz 的差分输出信号波形

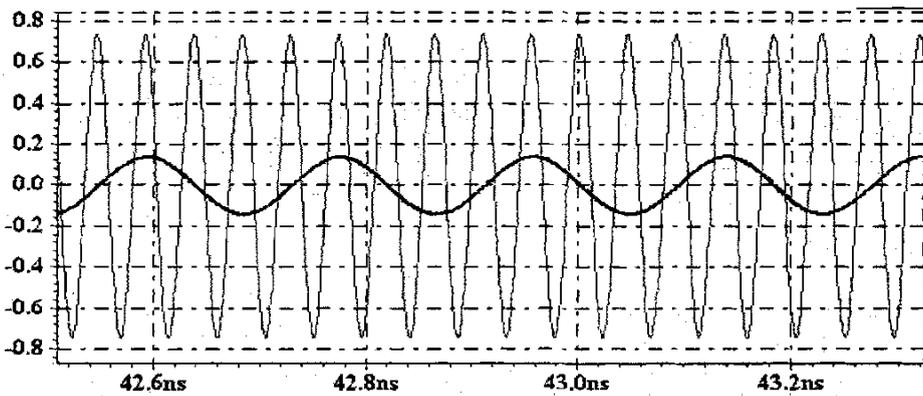


图 2.20 输入信号频率为 22GHz 时输入波形与输出波形的对比

图 2.21(a)为 27.9GHz 的差分输入信号，图 2.21(b)为 6.975GHz 的相应的差分输出信号。为了更明显地看出输入与输出间的逻辑关系，图 2.22 将输入的差分信号作差所得的单端波形与输出的差分信号作差所得的单端波形列在一起，较细的线为输入信号，较粗的线为输出信号。

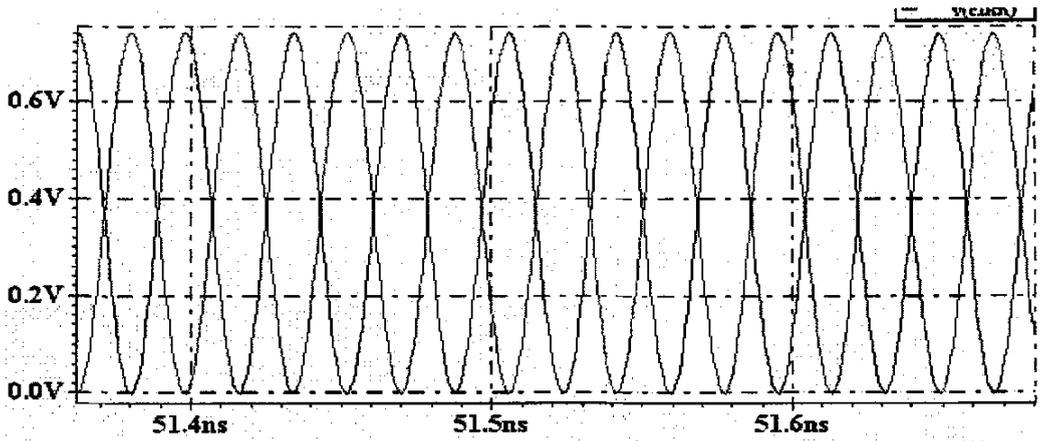


图 2.21(a) 27.9GHz 的差分输入信号波形

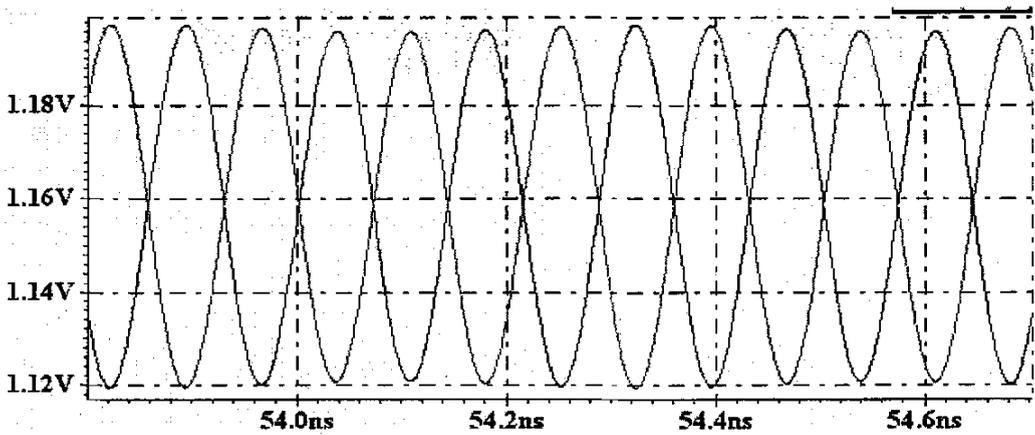


图 2.21(b) 6.975GHz 的差分输入信号波形

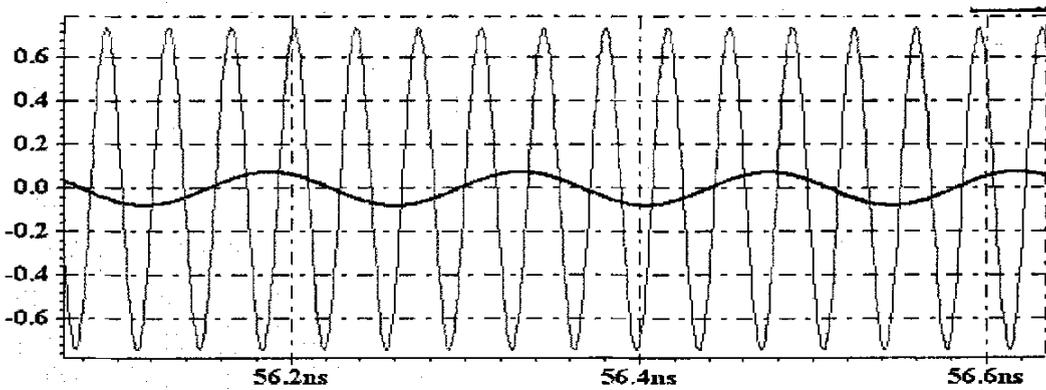


图 2.22 输入信号频率为 27.9GHz 时输入波形与输出波形的对比

参考文献

- [1] R.L.Miller, "Fractional-Fractional-Frequency Generators Utilizing Regenerative Modulation", Proc. IRE, vol. 27, pp. 446-456, July 1939
- [2] J. Lee, B. Razavi, "A 40-GHz Frequency Divider in 0.18- μ m CMOS Technology". IEEE J Solid-State Circuits, VOL. 39, NO. 4, pp. 594 – 601, Apr. 2004
- [3] 王欢, 王志功, 冯军等"12-GHz 0.25 μ m CMOS 1:2 动态分频器" 高技术通讯, pp. 45-50, 2003, 8
- [4] Lu Jianhua, Wang Zhigong et al, "An 8.5GHz 1:8 Frequency Divider in 0.35 μ m CMOS Technology" 半导体学报, pp.17-29, 2003.4
- [5] Z. Gu, A. Thiede. "18-GHz low-power CMOS static frequency divider". Electronics Letters, VOL.39, NO.20, pp.1433-1434, Oct 2003
- [6] Fang W, Brunnschweiler A, Ashburn P. "An Analytical Maximum Toggle Frequency Expression and its Application to Optimizing High-Speed ECL Frequency Dividers", IEEE J. Solid-State Circuits, vol. 25, pp. 920-931, 1990
- [7] HongMo Wang, "A 1.8V 3mW 16.8GHz Frequency Divider in 0.25 μ m CMOS", IEEE International Solid-State Circuits Conference, pp. 196-197, 2000
- [8] 曾晓军, 李天望, 洪志良 "1V, 19GHz CMOS 分频器设计" 半导体学报, pp. 416-419, 2003, 4
- [9] 谢嘉奎, 宣月清, 冯军. 电子线路(线性部分)(第四版)[M]. 北京: 高等教育出版社, pp. 90, 1999
- [10] 王志功, 沈永朝, 黄颀 VLSI 设计讲义[Z]. 南京: 东南大学无线电系, pp.33, 2001
- [11] Joseph M.C. Wong, Vincent S.L. Cheung, Howard C. Luong. "A 1-V 2.5-mW 5.3-GHz Frequency Divider in a 0.35- μ m CMOS Process". IEEE J. Solid-State Circuits, vol. 38, pp. 1643-1648, 2003.
- [12] 谢嘉奎, 宣月清, 冯军. 电子线路(线性部分)(第四版)[M]. 北京: 高等教育出版社, pp. 143, 1999
- [13] Behzad Razavi. Design of Analog CMOS Integrated Circuits [M]. McGraw-Hill International Edition. pp. 67-76, 2001

第三章 1:4 分接器的电路设计

本文的 1:4 分接器设计属于超高速电路设计领域。而本次设计的难点在于实现低电压、低功耗与超高速的统一。0.18 μm CMOS 工艺的标准供电电压为 1.8V，对低功耗的 10Gb/s 1:4 分接器而言，若能降低电源电压，则必然可以实现低功耗。目前已知世界上同工艺同速率条件下芯片的最低供电电压为 1.3V^[3-11]，而本课题采用的电源电压为 1.2V，如何在如此低的电源电压条件下保证芯片的性能并最大限度的降低芯片的功耗无疑是极大的挑战！

电路设计是发挥设计者创造性的解决问题的过程。综观整个设计方法，是从底层的晶体管级进行设计，然后进行单元电路、模块电路的设计，最后将各个模块拼接在一起，完成整个芯片级的设计。因此，在整个设计流程中都必须对电路进行优化。

好的电路设计是建立在对电路原理和结构的良好理解上的。因此，在对具体的电路进行分析之前，有必要了解一下分接器的原理及各种结构。

3.1 复用技术

复用技术是在同一传输信道上互不干扰地同时传输多路不同信号的技术。通常用复用技术来提高信道的利用率。

提到复用技术，一般会联想到以下几个名词：频分复用（FDM）、时分复用（TDM）、码分复用（CDM）和波分复用（WDM）。而在波分复用（WDM）中又有粗波分复用（CWDM）和密集型波分复用（DWDM）。实际应用中，频分复用（FDM）应用在模拟传输系统，而时分复用（TDM）则被广泛应用在数字传输系统中。

在光纤通信中，信号的复用主要有时分复用方式（TDMA）、空间复用方式（SDMA）、波分复用方式（WDMA）、光时分复用方式（OTDMA）和光码分多址复用方式（OCDMA）等几种。下面将介绍上述的复用方式。

空间复用方式（SDMA）：多条光纤的复用。由于需要额外光纤和相应的设备，这种复用方式成本成倍增加。

波分复用方式（WDMA）：在一根光纤上使用不同的波长同时传送多路光波信号。WDM 用于光纤信道。尽管 WDM 与 FDM 基于相同原理，但它是应用于光纤信道上的光波传输过程。作为 WDM 的扩展，粗波分复用（CWDM）中每根光纤能传送 4 到 8 种波长，甚至更多。其主要应用于中型网络系统（区域或城域网）；而第二代 WDM 系统，密集型波分复用（DWDM）可支持 8 种或以上波长。显现系统支持上百种波长。

光时分复用方式（OTDMA）：一种超高速传输技术，它使用极窄脉冲产生较大的带宽，将光支路数据流直接复用进光域来产生极高比特率的合成数据流，从而更加有效地利用光纤的频谱资源。^[3-11]

光码分多址复用方式（OCDMA）是一种全新的光线频谱资源利用思路，采用暂时的波形（称作光特征码）来编码和解码。不同的信息可共享一个时域、频域和空间域，采用匹配的滤波器根据

域值从通道的所有信号中选取所需的信号，因此从理论上说可以不需要光学滤波器件。

时分复用方式 (TDMA)：其是在通信领域得到广泛应用的技术，已成为数字通信的基本技术。其将传输时间分割成若干个间隙，将需要传输的多路信号按一定规律插入相应的时隙，从而实现多路信号的复用传输。由于时分复用 (TDMA) 更考虑时间上的问题，所以应注意通信中的同步和定时问题，否则会因为时隙的错位和混乱而导致接收端的接收机无法正常接收信息。当前的光线通信网采用时分复用可达到 10Gb/s 的速率，在这个基础上再应用 160 路的波分复用，这样可以达到 1.6Tb/s 的传输速率，从而使 90% 以上的光线信道容量得到充分利用。时分复用从总体上可归纳为“透明”和“非透明”两类。按数据复用单元的大小分，“透明”的时分复用方式可分为按比特复接和按字节复接两类。^[3.2]

本文所设计的低功耗超高速 1:4 分接器是按比特分接的方式工作的，因此为“透明”分接器。

3.2 分接器的基本结构

分接器的作用是将一路高速数据信号转换为 N 路低速信号，由前所述可知，该功能可提高信道的使用效率。通常，分接器有三种基本结构，分别为：串型结构、并型结构和树型结构^[3.3]。上述三种结构各有其优缺点，因此，需要根据特定的场合选用合适的结构或组合起来使用。下文将分别介绍三种结构的工作原理及特点。

3.2.1 串型分接器

串型分接器实际上是一个串并转换器。以 1:4 串型分接器为例，电路结构如图 3.1(a)所示。基本电路采用主从触发器，工作的时序关系见图 3.1(b)。其工作原理是通过一个由三个主从触发器构成的移位寄存器，使得输入信号与移位寄存器的三个触发器的当前存储信息构成一组连续的四位数据。再通过 4 个工作在 CK/4 频率的触发器对该四位数据进行抽样，这样就得到了四路同步的分接数据。DFF4~7 采用电平触发方式时，CK/4 为占空比 1:3 的 4 分频时钟；若采用边沿触发方式，则可以采用占空比为 1:1 或 1:3 的 4 分频时钟，时钟的边沿对齐数据的中央时刻以获得最大的相位裕度。

分接器的工作速度取决于各级移位寄存器及第一级时钟分频器的速率。对于串型结构而言，当 D 触发器用于移位寄存器时，由于它们均工作在输入数据（高速）的速率上，其速率有可能制约分接器的速度。且，移位寄存器需要大电流来获取高速率，因此若要依赖设计措施提高速率的话，可能会产生比较大的功耗。因此，该结构一般只应用于低速系统。

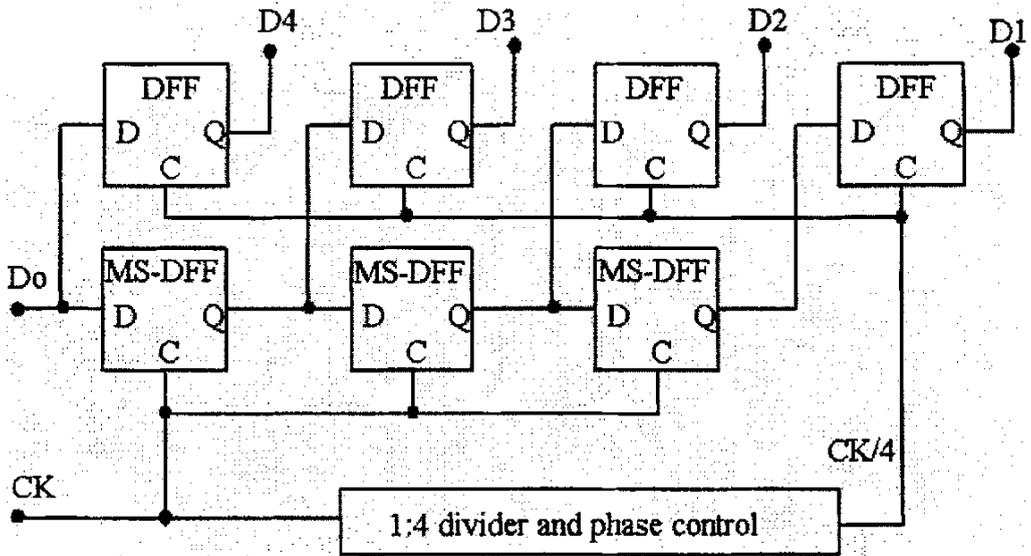


图 3.1(a) 1:4 串型结构分接器的电路结构

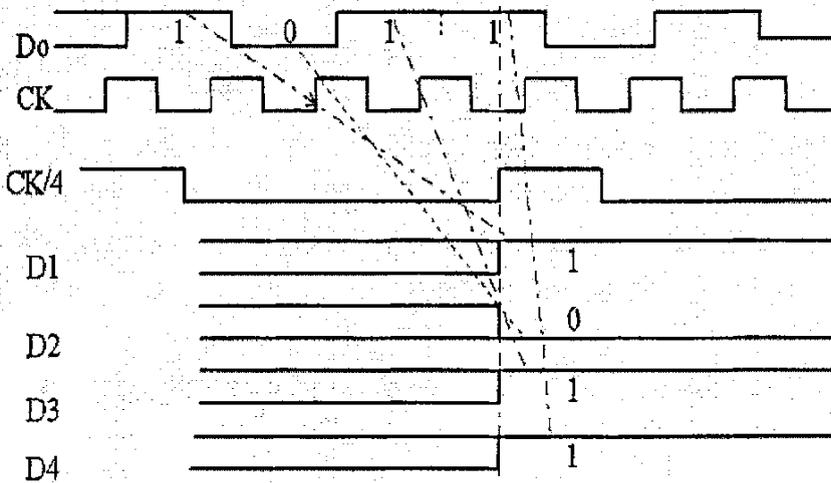


图 3.1(b) 1:4 串型结构分接器的时序示意图

3.2.2 并型分接器

并型分接器相当于一个单刀多掷开关，只不过它的单刀是在输入端。其原理是使用若干个不同相位的分频时钟对输入数据进行采样，再对采样得到的信号进行同步，从而得到了相位一致的低速数据信号。1:4 并型分接器的电路结构见图 3.2 (a)，其基本电路单元是主从触发器，工作时序关系见图 3.2 (b)。

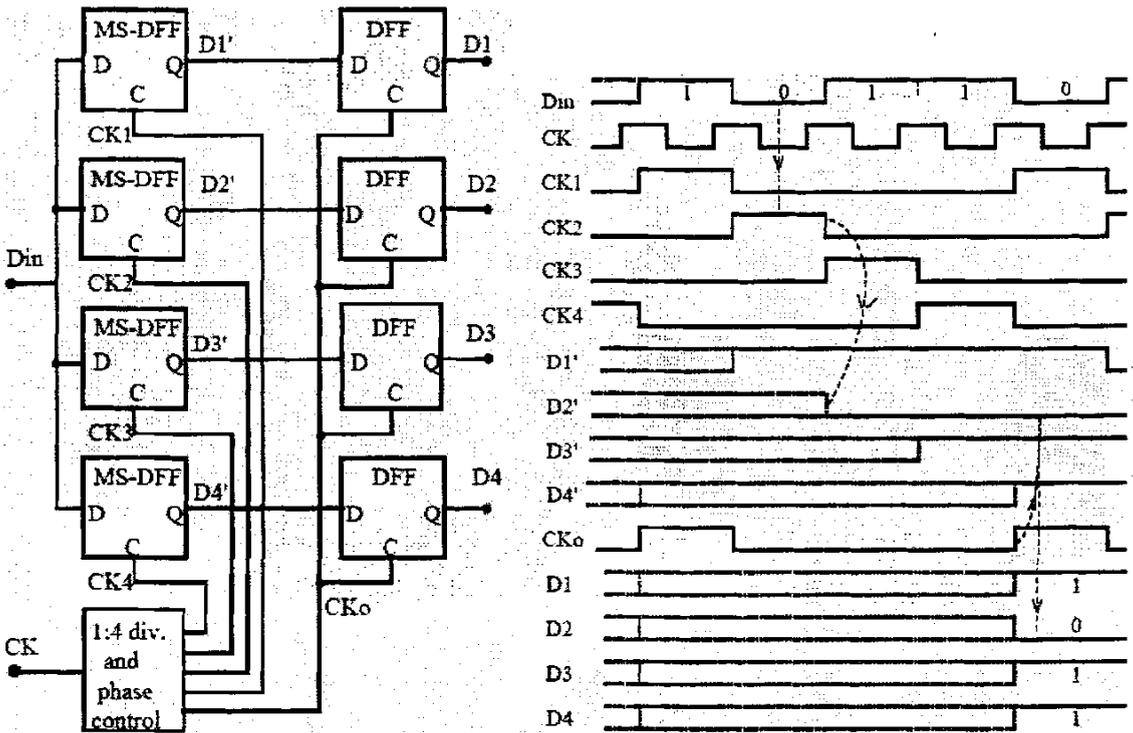


图 3.2(a) 1:4 并型结构分接器的电路结构

图 3.2(b) 1:4 并型结构分接器的时序示意图

在该结构中， n 个用于输入的 D 触发器与高速的数据流并行但轮换地连接。为了得到同步输出，还需要使用 n 个输出 D 触发器。这种类型的分接器需要 n 个时钟信号。它们具有相同的频率和相等的相位间隔。时钟的频率是输入数据速率的 $1/n$ 。其中，最大的时钟相位容限不超过一个输入比特的宽度。

对于并型结构而言，不同于串型结构，因为 D 触发器工作在输出数据的速率上，所以其速度并不是关键因素。其对于一个 1:2 的分接器来说，该结构的分接器能达到最高的速率。但对于高阶 ($n=4,8,16\dots$) 分接器来说，由于 n 个并行连接的 D 触发器是前级电路的很大的电容负载，速度的大幅提高变得很困难。

3.2.3 树型分接器

图 3.3 为 1:4 树型分接器的结构图，由图中可以看出其由三个 1:2 分接器构成。位于最前端的的第一级 1:2 分接器将输入的高速数据 DATA 分接为两路低速数据，而位于后端的两个并行的 1:2 分接器则将前级分接得到的两路数据分接为四路数据并输出。其中，第一级 1:2 分接器的时钟的工作频率为输入数据比特率的一半，第二级 1:2 分接器的时钟的工作频率为输入数据比特率的四分之一。

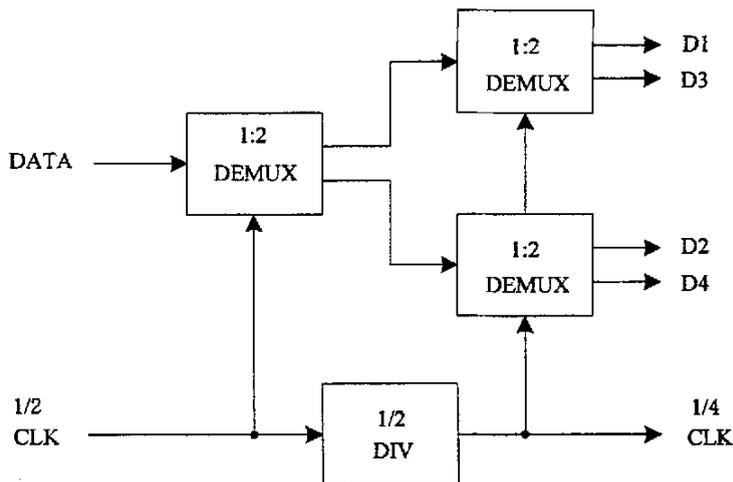


图 3.3 1:4 树型结构分接器

图 3.4 为 1:2 分接器的电路结构图，其为二叉树分接器的基本模块。它实际上是一种最简单的并型分接器。如前所述，这样的 1:2 分接器可以达到最高的速率，因为它扇入最小而其触发器的工作速率是输入数据速率的一半。因此，该分接器的工作性能直接决定了整个 1:4 树型分接器的性能。下面具体介绍该 1:2 分接器的组成：它是由 5 个锁存器（Latch）构成的，位于图的上端的 3 个 Latch 构成了主-从-从 D 触发器，完成下降沿采样；位于图的下端的 2 个 Latch 构成主-从 D 触发器，其完成上升沿采样的功能。其中，时钟频率为输入数据速率的一半。这样充分利用时钟的两个边沿对输入数据分别进行采样，实现了 1:2 分接功能。为了同步两路输出 Q1 和 Q2，采用一级锁存器对超前的上半支路延迟半个时钟周期。1:2 分接器工作时序示意图如图 3.5 所示。该种结构使时钟对数据选择有较大的相位裕度，可提高电路工作速率和可靠性，降低对器件的要求和电路的功耗。

由上可知，树型分接器具有逐级降速的优点。而在设计中，若根据速率的逐级下降而减小相应的工作电流，即可以使得电路的功耗降低。然而，这无疑增大了电路设计的难度。

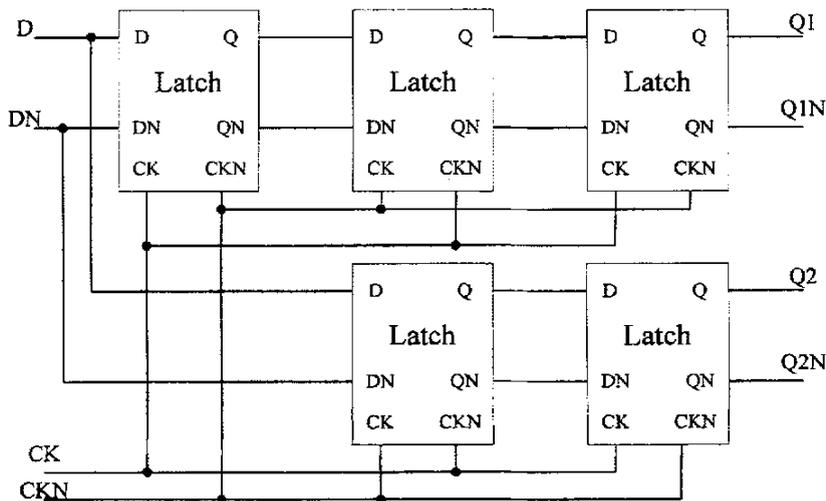


图 3.4 1:2 树型结构分接器

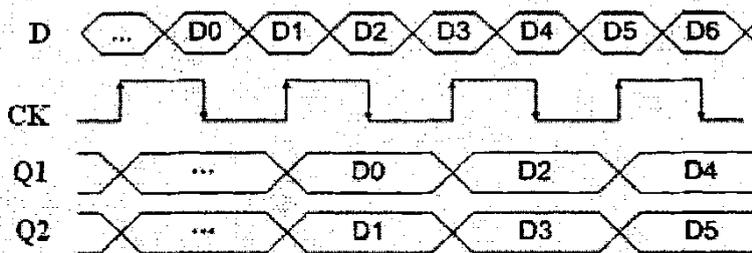


图 3.5 1:2 树型分接器的时序示意图

目前，由于树型分接器采用半时钟输入，可以克服时钟的最大翻转速率受工艺的限制的缺陷，同时简化了电路的设计难度，国内外很多论文均采用该结构。该结构的分接器亦可称为半时钟分接器。目前，采用 $0.18\mu\text{m}$ CMOS 工艺实现的 10Gb/s 分接器大多数是半时钟分接器。

3.3 系统设计

在了解分接复用的原理和比较分接器的基本结构之后，下文介绍该分接器设计预期达到的总体性能指标：

- ★ 适用系统：SDH STM-64(10Gb/s)
- ★ 实现功能：由 1 路 10Gb/s 的高速数据流中恢复出 4 路并行 2.5Gb/s 的低速数据流
- ★ 芯片工艺：TSMC $0.18\mu\text{m}$ CMOS 标准工艺
- ★ 电源电压：1.2V
- ★ 核心功耗：小于 20mW
- ★ 输入信号：1 路 10Gb/s 数据差分输入；1 路 5GHz 时钟差分输入
- ★ 输出信号：4 路 2.5Gb/s 数据单端输出

由设计指标可以更加明确设计指导思想。当前，利用 $0.18\mu\text{m}$ CMOS 工艺实现的 STM-64 速率级的 1:4 分接器在国内外已很常见。而本次设计的意义在于：采用 1.2V 的电源电压，利用 $0.18\mu\text{m}$ CMOS 的标准工艺实现该速率，并且期望其核心功耗在同种工艺同速率级的分接器中为世界最低（当前所能检索到的采用 $0.18\mu\text{m}$ CMOS 工艺的 STM-64 速率级的 1:4 分接器的最低核心功耗为 $38\text{mW}^{[3,4]}$ ）。

在模拟电路设计中，电路的增益、带宽和速率之间往往存在折衷的关系，而更低的电源电压使得这些折衷更为显著。通过第 3.2 节对分接器的基本介绍，可以了解到分接器的工作特点。其输入信号的频率比输出信号频率高。具体到 1:4 分接器来说，第一级 1:2 分接器处理的数据亦比后级的分接器高。因此，若从实现高速来考虑，第一级 1:2 分接器最为关键，若能保证电路在 1.2V 的电源电压下亦能实现 10Gb/s 至 5Gb/s 的分接，则后续电路的设计能相对轻松些。另外，由上节可知，树型的分接器具有分级并联、逐级降速的特点，能够将高速率与低功耗相结合。因此，本文的分接器设计也采用树型结构。通过上述分析，可以拟出分接器的系统模块，如图 3.6 所示。

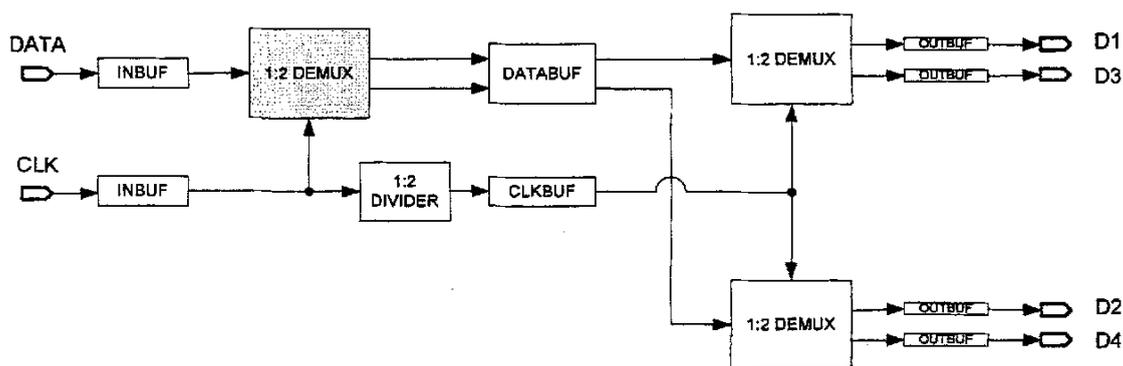


图 3.6 本文设计的 1.2V 10Gb/s 的 1:4 分接器的系统框图

图中箭头所指为数据流向，为了方便标示，差分信号也用一根线表示。DATA 端口为 10Gb/s 数据信号的输入端，信号为差分形式，其经过输入缓冲（INBUF）后进入第一级 1:2 分接器（1:2 DEMUX）的数据输入端。图中，为了将该级分接器与后级的 1:2 分接器区分开，特意用了灰底标示，以显示其重要性。同时，CLK 端口为 5GHz 的时钟信号输入端，信号为差分形式，其经过输入缓冲（INBUF）后进入第一级 1:2 分接器（1:2 DEMUX）的时钟输入端。第一级 1:2 分接器完成分接功能后得到的两路 5Gb/s 数据信号通过数据接口（DATABUF）分别转换为单端信号送至后一级 1:2 分接器。而经过输入缓冲的 5GHz 的时钟信号在送入第一级 1:2 分接器的同时亦进入 1:2 分频器（1:2 DIVIDER）。经过分频得到的时钟信号再经由时钟接口（CLKBUF）转变为单端信号后送至后一级 1:2 分接器。后级的两个 1:2 分接器将两路 5Gb/s 的数据信号分接成四路 2.5Gb/s 的单端数据信号。该四路数据信号分别通过输出缓冲（OUTBUF）输出，四路输出端口分别标示为 D1、D2、D3 和 D4。

在定义好系统的各个模块以及接口之后，分别对每个模块进行设计。之前亦提及，第一级 1:2 分接器主要考虑在低电压下实现高速，而对第二级 1:2 分接器而言，其工作速率比前级减小一倍。因此，它的着眼点在于如何在低电压的条件下尽可能地实现低功耗。众所周知，CMOS 逻辑的功耗比较低，因此下文首先对 CMOS 逻辑电路进行分析。

3.4 CMOS 逻辑电路

CMOS 逻辑电路可分为静态逻辑电路和动态逻辑电路。静态逻辑电路除了开关切换的瞬间，门的输出都通过低阻通道连接到 V_{dd}；动态逻辑电路的逻辑值反映在高阻抗节点电容上存储的信号的前值。静态逻辑电路的功耗较低，噪声容限大，但是不适宜高速。反之，动态逻辑电路结构简单、速度快，但其噪声容限小。

就静态逻辑电路而言，常分为静态传输逻辑电路和静态恢复逻辑电路。CMOS 传输门是最简单也是最典型的静态传输逻辑电路，CMOS 反相器是最简单也是最典型的静态恢复逻辑电路。在分接器核心电路的设计中，第二级 1:2 分接器的主体是由这两者构成的触发器设计而成的，所以下文将分析它们的性能和特点。

3.4.1 CMOS 传输门

传输门是 CMOS 集成电路中的基本电路，它用于实现开关和传输逻辑。有三种形式的传输门，分别为：NMOS 传输门、PMOS 传输门，以及结合前两者的 CMOS 传输门。本文给出了 CMOS 传输门的电路结构，如图 3.7 所示。

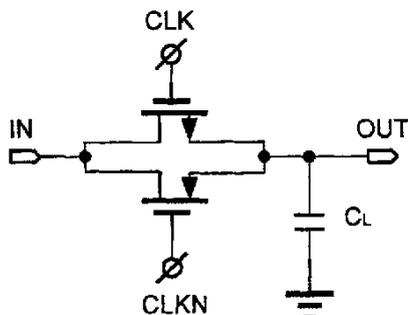


图 3.7 传输门电路

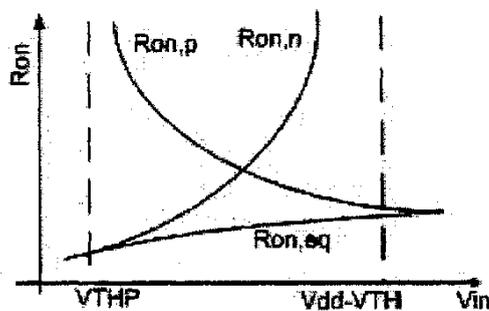


图 3.8 传输门的输入电压与导通电阻特性

图 3.7 中，IN 为信号输入端，OUT 为信号输出端，CLK 与 CLKN 为一对控制传输门工作状态的时钟输入端。下面简要介绍一下三种形式的传输门的工作机理。

NMOS 传输门作为开关传输逻辑信号时，传输“0”逻辑（低电平）是十分理想的，而传输“1”逻辑（高电平）则不理想。这是因为存在高电平蜕化现象：尽管 $IN=V_{dd}$ ，输出 OUT 并不等于 V_{dd} ，而是要在 V_{dd} 中去掉 NMOS 的阈值电压 V_{Tn} 。

同理，PMOS 传输门作为开关传输逻辑信号时，传输“1”逻辑（高电平）是十分理想的，而传输“0”逻辑（低电平）则不理想。这是因为其存在低电平蜕化现象：尽管 $IN=0$ ，输出 OUT 并不等于 0，而是要加上 PMOS 的阈值电压 V_{Tp} 。

正因为上述两种传输门各有缺点，才产生了 CMOS 逻辑门，它结合了 NMOS 传输门和 PMOS 传输门的优点，由 NMOS 传输门和 PMOS 传输门并联而得。因为 CMOS 传输门具有两者的优点，所以具有最佳的传输特性。即，当传输“0”逻辑（低电平）时，NMOS 通道更有效；当传输“1”逻辑（高电平）时，PMOS 通道更有效。所以，输出电平是纯粹的 V_{dd} 或者 Gnd ，因为没有电平蜕化，所以信号传输很理想。

再参见图 3.7，考察输入信号 IN 从 0 变化到电源电压 V_{dd} ，控制信号 CLK 也为电源 V_{dd} ，即通过传输门将负载电容 C_L 上的电压值从 0 充电至 V_{dd} 的情况，经分析，NMOS 和 PMOS 的工作模式随输出电压的变化而变化，如表 3-1 所示：

表 3-1 NMOS 和 PMOS 的工作模式与输出电压的关系

| 输出电压条件 | NMOS 工作模式 | PMOS 工作模式 |
|--|-----------|-----------|
| $V_{out} < V_{Tp} $ | 饱和区 | 饱和区 |
| $ V_{Tp} < V_{out} < V_{dd} - V_{Tn}$ | 饱和区 | 线性区 |
| $V_{dd} - V_{Tn} < V_{out}$ | 截止区 | 线性区 |

假定 NMOS 和 PMOS 均工作在线性区并忽略体效应，在此简化处理条件下，CMOS 传输门的

导通电阻 $R_{on,eq}$ 可以近似看作是 NMOS 和 PMOS 导通电阻的并联:

$$R_{on,eq} = R_{on,n} // R_{on,p} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_{in} - V_{THN})} // \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_P (V_{in} - |V_{THP}|)}$$

$$= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_{THN}) - \left[\mu_n C_{ox} \left(\frac{W}{L}\right)_N - \mu_p C_{ox} \left(\frac{W}{L}\right)_P \right] V_{in} - \mu_p C_{ox} \left(\frac{W}{L}\right)_P |V_{THP}|} \quad (3-1)$$

可见, 增大 NMOS 和 PMOS 的栅宽可以减小导通电阻, 但随着尺寸的增加寄生电容也会相应增加, 因此若要使得传输门延时最小, 必须综合考虑其导通电阻大小和寄生电容的影响。图 3.8 中给出了构成传输门的 NMOS、PMOS 导通电阻以及整个传输门的等效导通电阻随输入电压变化的曲线。分析式 (3-1) 发现, 如果 $\mu_n C_{ox} \left(\frac{W}{L}\right)_N = \mu_p C_{ox} \left(\frac{W}{L}\right)_P$, 那么 $R_{on,eq}$ 与输入电平无关^[3,5],

$$R_{on,eq} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_{THN} - |V_{THP}|)} \quad (3-2)$$

一般来说, $R_{on,eq}$ 是常数, 大约在几十千欧姆。

3.4.2 CMOS 反相器

实际上, 反相器是数字电路设计的核心, 反相器用于实现开关和恢复逻辑功能, 在某些场合还可以作为延迟单元或驱动缓冲。单个的反相器虽然简单, 但是比较复杂的与非门、或非门、异或门等都是在反相器的基础上构成的。因此, 很有必要了解反相器的特性。图 3.9 所示为反相器的电路图以及版图。图 3.10 为反相器的等效电路图。

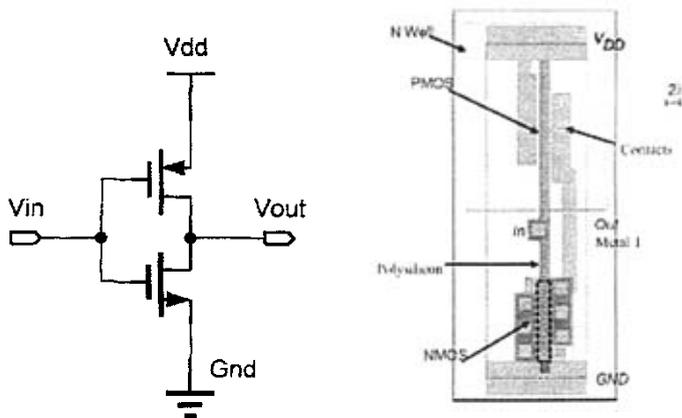


图 3.9 反相器的电路图及版图

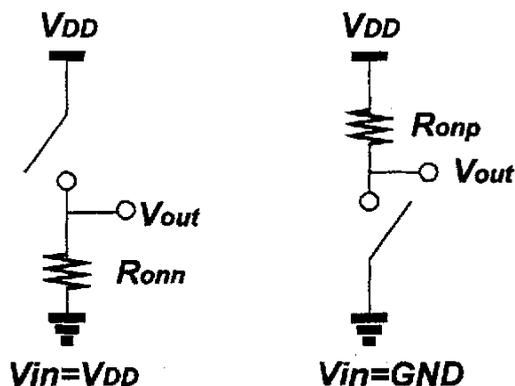


图 3.10 反相器的等效电路图

反相器可以实现逻辑“非”的功能。当输入为高电平时，NMOS 闭合，PMOS 断开，输出与地有直流通路；输入为低时，NMOS 断开，PMOS 闭合，输出与 Vdd 有直流通路。为了进一步了解反相器的特性，下文将按照静态特性、动态特性等进行分析。

I. 静态特性^[3,6]

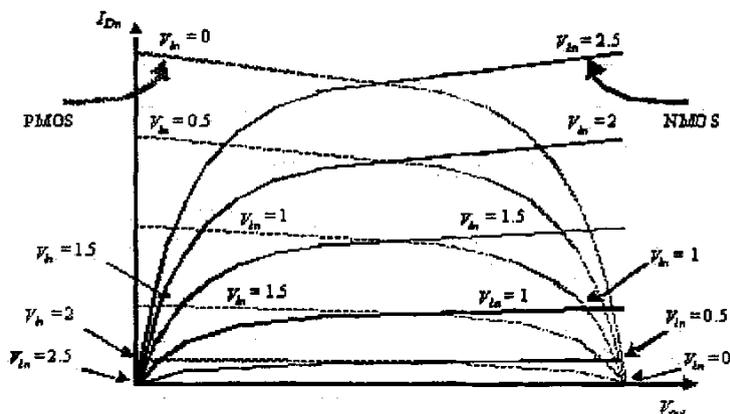


图 3.11 反相器负载特性曲线

若将 PMOS 管和 NMOS 管打开时的导通电阻等效为 R_p 和 R_n ，通过计算，可以得到反相器负载特性曲线。如图 3.11 所示（电源电压以 2.5V 为例），横坐标为反相器输出电压，纵坐标为 NMOS 漏电流大小。由于 $I_{Dp} = -I_{Dn}$ ，因此可以在一个坐标系中给出 NMOS 和 PMOS 的负载特性曲线，反相器的静态工作点则为这两条曲线的交点。由图中可以看出，反相器的静态工作点主要分布在高电平和低电平附近，电压传输特性（VTC）的转换区很窄，这是由转换区中反相器的高增益决定的。

同时，随着输入电压的变化，反相器中的 NMOS 管和 PMOS 管的工作状态也在变化，图 3.12 表征了该变化。

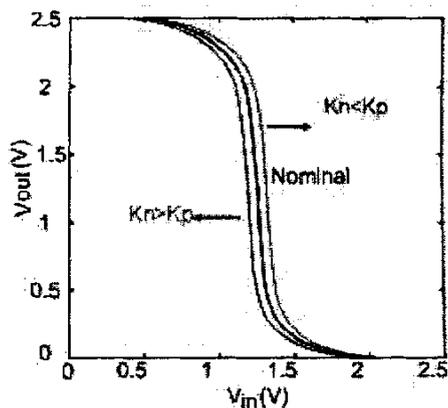
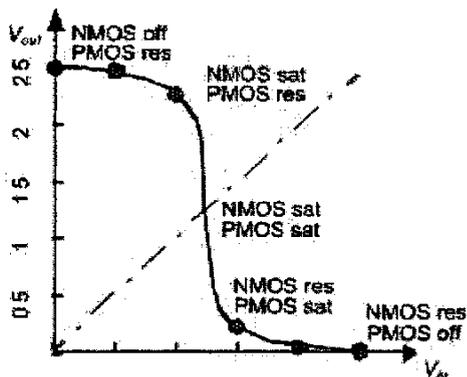


图 3.12 反相器晶体管的工作状态与输入电压的关系 图 3.13 K_n/K_p 与 VTC 关系曲线

由图 3.12 可知，反相器切换阈值 V_M 所在处 NMOS 和 PMOS 均为饱和模式，因此可得

$$\frac{k_n}{2}(V_M - V_{Tn})^2 = \frac{k_p}{2}(V_{dd} - V_M - |V_{Tp}|)^2, \text{ 其中:}$$

$$k_n = \mu_n C_{ox} W_n / L, \quad k_p = \mu_p C_{ox} W_p / L \quad (3-3)$$

从而

$$V_M = \frac{r(V_{dd} - |V_{Tp}|) + V_{Tn}}{1+r}, \quad r = \sqrt{\frac{k_p}{k_n}} \quad (3-4)$$

式中，当 $k_n = k_p$ 时， $V_M \approx \frac{1}{2}V_{dd}$ ，这样可以得到最大的噪声容限和对称性。通过调节 k_p/k_n 改变反相器的阈值可以改善电路的可靠性。此外 VTC 曲线也会随 k_n/k_p 的不同而产生变化，如图 3.13 所示。分析反相器电路的增益与输入电压的关系可以得到如图 3.14 所示的曲线，由此可以看出反相器在 NMOS 和 PMOS 均处于饱和状态时可以获得最大的增益，可利用该特性实现对信号的放大。

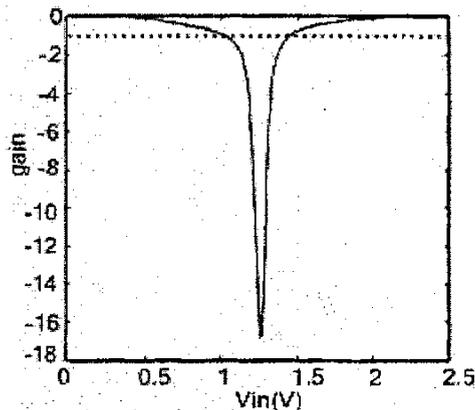


图 3.14 增益与输入幅度关系曲线

由图 3.14 可得，

$$g = -\frac{1}{I_D(V_M)} \frac{k_n V_{DSATn} + k_p V_{DSATp}}{\lambda_n - \lambda_p} \approx \frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)} \quad (3-5)$$

式中 λ_n, λ_p 分别为 NMOS 和 PMOS 的沟道长度调制因子, V_{DSATn} 和 V_{DSATp} 分别为 NMOS 和 PMOS 的漏端饱和电压, V_M 为反相器的切换阈值。

II. 动态特性

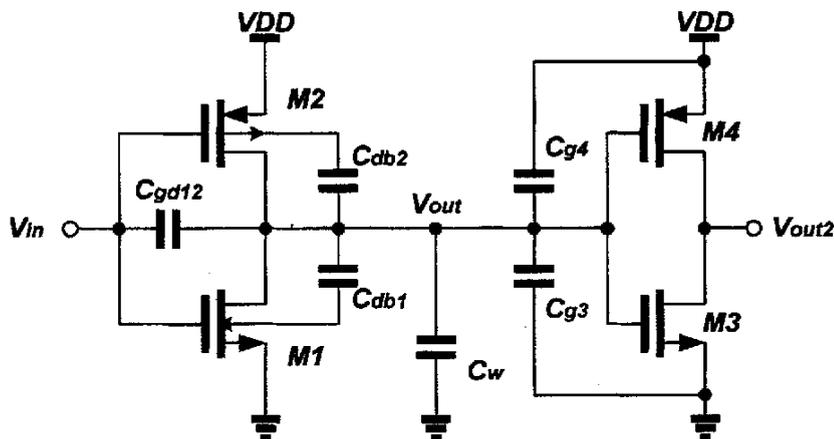


图 3.15 级联反相器寄生电容模型

动态特性必须考虑负载电容（下一级门的输入电容）的影响。图 3.15 给出了两个级联的反相器的寄生电容，它包括了影响 V_{OUT} 节点瞬态响应特性的所有寄生电容。其中较为主要的电容有 PMOS 管和 NMOS 管的漏极寄生结电容，下一级电路的 PMOS 管和 NMOS 管的栅电容。另外反相器的输入和输出之间的耦合电容 C_{gd12} 属于密勒电容，它会在输入端等效一个比较大的电容。

为了分析寄生电容的影响，给出脉冲数字电路上升时间 t_r 、下降时间 t_f 和延迟时间 t_p 的定义是很有必要的：

$$t_r: 10\%V_{\max} \rightarrow 90\%V_{\max} \quad (3-6)$$

$$t_f: 90\%V_{\max} \rightarrow 10\%V_{\max} \quad (3-7)$$

$$t_p: \frac{t_{PLH} + t_{PHL}}{2} \quad (3-8)$$

传输延迟 t_p 可以用电容的充放电时间来计算, t_{PLH} 和 t_{PHL} 分别为上升沿和下降沿的延时, 可以得出:

$$t_p \approx \frac{1}{2}(t_{pLH} + t_{pHL}) = \frac{C_L}{2V_{DD}} \left(\frac{1}{k_p} + \frac{1}{k_n} \right) \quad (3-9)$$

由上式可以看出, 若要减小 t_p , 即提高 CMOS 逻辑电路速度, 有以下三种方法:

1) 减小 C_L 。使用小尺寸器件, 采用合理的版图布局都可以减小 MOS 管内部源漏扩散电容; 改进器件互连方法, 缩短连线长度可减小连线电容; 减小扇出, 对大的负载增加缓冲逐级驱动等措施也有利于扩散电容的减小;

2) 增大 k_n 和 k_p 。即增大 W/L , 但增大 W 会加大 MOS 管栅电容和源漏结电容, 栅电容的增加还会增加前一级电路的负载电容。这些都会造成速度的降低, 因此必须仔细地仿真从而选择合适的 W/L 。

反相器 PMOS 与 NMOS 栅宽比与时延特性曲线如图 3.16 所示。由图可见当 $\beta = W_p/W_n \approx 2.4$ 时,

有 $t_p = t_{pLH} = t_{pHL}$, 且延时 t_p 接近最小值。

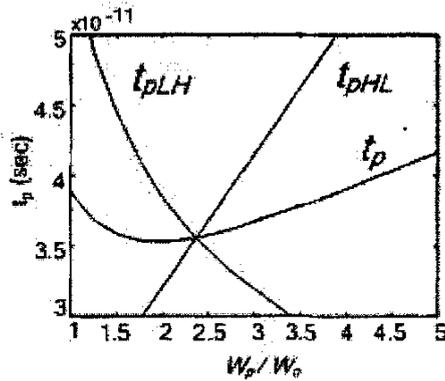


图 3.16 反相器 PMOS 与 NMOS 栅宽比与时延特性

3) 增加 V_{dd} 。电源电压的选择是由系统和技术因素决定, 每种工艺的额定电源电压都符合一定的工业标准, 对于设计者来说没有太多选择的余地。例如, 标准 $0.18\mu\text{m}$ CMOS 工艺的电源电压为 1.8V 。电源电压与时延特性如图 3.17 所示。可见, 随着电源电压的升高, 时延 t_p 随之减小, 工作速率相应提高。然而, 本文的设计宗旨是在低电压条件下实现超高速, 必须采用比标准电压更低的 1.2V 作为电源电压, 因此, 该方法不可行。

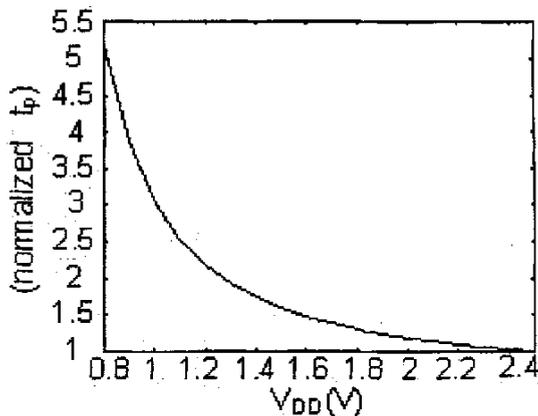


图 3.17 电源电压与时延特性

III. 功耗与功率时延积

1) 静态功耗。静态 CMOS 电路在稳态工作时基本不消耗功率, 其静态功耗

$$P_{static} = I_{leakage} V_{dd} \quad (3-10)$$

然而即使当 $V_{gs} < V_{th}$, MOS 管仍有漏源电流通过。 V_{th} 越接近 0, 在 $V_{gs} = 0$ 时的漏电流越大。该漏电流来自于 MOS 管源极漏极和衬底之间的反偏二极管, 其大小随着结温度呈指数率上升。

2) 电路切换时消耗的功率。

◆对负载 C_L 充放电消耗的动态功率

充电过程中电源提供的能量:

$$E_{vdd} = \int i_{vdd}(t) V_{dd} dt = V_{dd} \int C_L \frac{dv_{out}}{dt} dt = C_L V_{dd} \int_0^{V_{dd}} dv_{out} = C_L V_{dd}^2 \quad (3-11)$$

充电完毕后 C_L 上存储的能量:

$$E_{vdd} = \int i_{vdd}(t) v_{out} dt = \int C_L \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{dd}} v_{out} dv_{out} = \frac{C_L V_{dd}^2}{2} \quad (3-12)$$

可见在充电过程中电源提供的能量有一半消耗在 PMOS 管中, 并且该能耗与 PMOS 管的大小无关。在放电过程中, C_L 上存储的能量被 NMOS 管消耗, C_L 上存储的能量为 0。

因此, 动态功耗为:

$$P_{dyn} = C_L V_{dd}^2 f \quad (3-13)$$

可以通过减小电路使用的器件个数、缩小器件尺寸及合理布局缩短器件之间的连线长度来减小电路节点电容 C_L 。降低电源电压 V_{dd} 等措施来减小动态功耗。

◆直通功耗

由于输入信号不是理想的阶跃信号, 总存在一定的上升、下降时间, 因此在一个很短的时间内反相器的 NMOS 和 PMOS 会同时导通, 在电源和地之间产生一条直流通路。如果电流尖峰近似为三角形且 $V_{dd} > |V_T|$, 每个转变期内消耗的直通能量:

$$E_{dp} = V_{dd} \frac{I_{peak} t_r}{2} + V_{dd} \frac{I_{peak} t_f}{2} = \frac{t_r + t_f}{2} V_{dd} I_{peak} \quad (3-14)$$

直通功耗:

$$P_{dp} = \frac{t_r + t_f}{2} V_{dd} I_{peak} f \quad (3-15)$$

要减小直通功耗 P_{dp} , 必须避免大的上升、下降时间。使用低的电源电压和小的器件尺寸, 直通功耗远小于动态功耗。

由上述可知, 总功耗包括动态功耗、直通功耗和静态功耗三个部分, 即:

$$P_{total} = P_{dynamic} + P_{dp} + P_{static} = C_L V_{DD}^2 f + V_{DD} I_{peak} \left(\frac{t_r + t_f}{2} \right) f + V_{DD} I_{leakage} \quad (3-16)$$

因此要降低功耗, 必须减小工作频率 f 、电源电压 V_{DD} 、负载电容 C_L 、直通峰值电流 I_{peak} 以及信号的上升时间 t_r 和下降时间 t_f 。其中, 工作频率已经确定, 所以这部分影响不计入。电源电压亦必须符合工业标准, 而本文的分接器设计采用了比标准电压小的电源电压, 起到了降低功耗的目的。另外, 通常也可采用小尺寸的 MOS 管减小负载电容 C_L 和直通峰值电流 I_{peak} 来降低功耗。但这样做

也减小了工作电流，导致充放电速度变慢、工作速率降低。因此，MOS 管的尺寸必须在工作频率和功耗之间进行折衷考虑。

3.5 D 触发器的设计

按电路是否具有“记忆”功能，数字逻辑电路可分为组合逻辑（Combinational Logic）电路和时序逻辑（Sequential Logic）电路。上述的传输门和反相等门电路是组合逻辑电路的基本电路。本节介绍的触发器属于有“记忆”功能的电路，可实现数据的存储。D 触发器是分接器设计中最基本的单元电路，基于它的重要性，对它进行详尽的分析是很有必要的。

3.5.1 触发器的性能与设计要求

首先，触发器的一项重要的性能指标为触发器时间参数的定义。主从式 D 触发器有三个重要的时间参数的定义，只有满足了这些时间特性，触发器才能够正常稳定地工作：

- 1) 传输延迟 T_{CQ} ：指从时钟端到数据输出端的延迟，即从时钟上升沿到输出端数据稳定的这段时间。
- 2) 建立时间 T_{Setup} ：指从数据输入的改变到时钟触发沿的最短时间，只要满足这个条件就能够保证输入端的数据正确地传送到输出端。如果不满足这个条件，时钟将不能正确的采样数据，结果会导致输出信号状态不明确，产生逻辑错误。
- 3) 保持时间 T_{Hold} ：指在时钟触发沿之后输入数据必须保持的时间，只要满足这个条件就能使输出端保持稳定。如果不满足这个条件，输出的状态可能不稳定，严重时会产生振荡，出现逻辑错误。
- 4) 最小时钟脉宽：能使触发器正常工作的最小时钟脉冲宽度。它反映了触发器可以工作的最高速率。

图 3.18 展示了上述提到的时间特性。

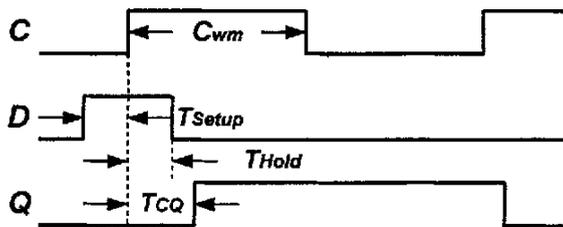


图 3.18 触发器的时间参数定义

在了解触发器的性能参数之后，可以给出 D 触发器的设计要求，主要有如下几点：

- 1) 高速度：含有 D 触发器的时序电路中，数字电路的工作速度由触发器可以采样的数据的最小周期 T 决定。该周期的定义可由图 3.19 而得：

$$T = t_{clk-Q} + t_{logic} + t_{setup} + t_{skew} \quad (3-17)$$

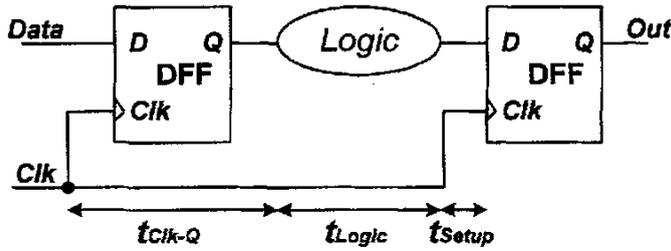


图 3.19 数字电路的工作周期

其中, t_{logic} 为逻辑运算部分的延迟, t_{skew} 为系统时钟的偏移。从中可以看出, 若要提高数字电路的工作速度, 式 (3-17) 中的建立时间 t_{setup} 、传输时间 t_{Clk-Q} 及触发器延迟时间 t_{logic} 都必须减小, 而这三者也是设计者密切关注的对象;

- 2) 低功耗: 尽可能地在保证性能的同时减小工作电流;
- 3) 对时钟电路的负载要求小: 即时钟部分的负载电容、输入阻抗越小, 电路的性能越好;
- 4) 驱动能力强: 在扇出系数比较大时也可以正常工作;
- 5) 抗干扰能力强: 当然, 这对超高速电路来说非常重要!

3.5.2 CMOS 准静态触发器

图 3.20 是 CMOS 准静态触发器的电路结构图。它由两个锁存器 (Latch) 构成主从触发器, 一共 16 个晶体管。锁存器是由 CMOS SR 触发器为基础, 在反相器的环路中加入了—个开关以防止后一级的电路信号反馈回前一级锁存器。下面简要阐述一下它的工作机理: 若时钟 CK 为高电平及 CKN 为低电平时, 主锁存器 (M-latch) 采样输入数据, 从锁存器 (S-latch) 形成反相器环路, 处于双稳态, 维持输出原来存储的信号值; 在 CK 的下降沿, 时钟信号 CK 由高电平翻转至低电平, 而 CKN 反之, 主锁存器与前一级断开连接, 形成反相器环路, 处于双稳态, 维持采样到的信号值, 从锁存器采样主锁存器的存储值并输出。

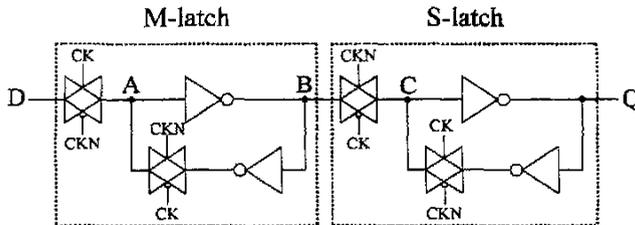


图 3.20 CMOS 准静态触发器

准静态逻辑克服了动态逻辑由于存在漏电流, 在工作频率较低时, 节点上的逻辑状态不能及时得到更新而被丢失的缺点, 拓展了低频工作性能。其具有结构简单, 芯片面积小 (需 16 只 MOS 管); 功耗小 (静态功耗近似为 0) 等优点。但该逻辑需要一对互补时钟, 当互补时钟由于连线延时不同等原因存在歪斜 (Clock skew, 如图 3.21) 时, 会降低工作速度, 甚至无法正常工作。同时, 工作速度受到工艺限制很难进一步提高。

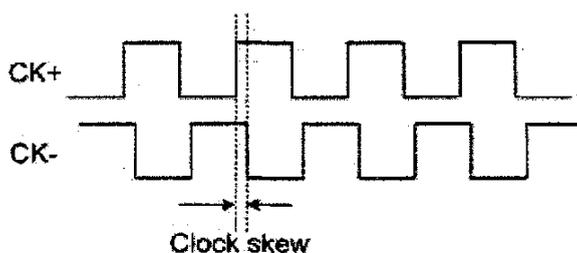


图 3.21 时钟歪斜 (clock skew) 示意图

在上一节曾经提到, 若要提高 D 触发器的速度, 根据式 (3-17), 必须减小传输时间 t_{CLK-Q} 。而根据图 3.20 可推算出主锁存器的传输时间:

$$t_{MCLK-Q} = R_{eq}C_A + R_{inv}C_B \quad (3-18)$$

其中, R_{eq} 是 CMOS 传输门的等效电阻, C_A 是节点 A 的负载总电容, R_{inv} 是 CMOS 反相器的等效电阻, C_B 是节点 B 的负载总电容。由式 (3-18) 可以看出, 欲减小主锁存器的传输时间 t_{MCLK-Q} , 必须减小 R_{eq} 、 C_A 、 R_{inv} 及 C_B 。CMOS 传输门的等效电阻:

$$R_{eq} = \frac{1}{k_n(V_{dd} - V_{Tn}) + k_p(V_{dd} - |V_{Tp}|)} \quad (3-19)$$

因此, 可以通过增大传输门的尺寸来减小 CMOS 传输门的等效电阻 R_{eq} 。但是, 一味地增大尺寸也会增大节点 A 的负载总电容 C_A 。

节点 A 的负载总电容 C_A 为主通路 (Main path) 上的 CMOS 传输门在 A 点的电容 C_a 、反馈通路 (Feedback path) 上的 CMOS 传输门在 A 点的电容 C_f 及主通路上的反相器在 A 点的输入电容之和。因此, 若要减小总的负载电容 C_A , 就必须减小上述的三个分量。若要减小这些电容, 最简单也最容易实现的方法即在设计中使用最小尺寸的晶体管。

CMOS 反相器的等效电阻 R_{inv} 为 NMOS 的导通电阻 R_{onn} 或 PMOS 的导通电阻 R_{onp} , 这两个导通电阻近似相等。要减小 CMOS 反相器的等效电阻 R_{inv} , 需要增加 CMOS 反相器中晶体管的尺寸。

节点 B 的负载总电容 C_B 为主通路上的反相器在 B 点的输出电容、反馈通路上的反相器在 B 点的输入电容及从锁存器主通路上的 CMOS 传输门在 B 点的电容 C_f 之和。若要减小节点 B 的负载总电容 C_B , 则要减小上述三个分量。而在设计中使用最小尺寸的晶体管也是减小该等电容的方法。

综上所述, R_{eq} 、 C_A 、 R_{inv} 及 C_B 不可能同时减小, 因为电容的变化趋势与电阻相反。所以,

在电路设计时，需要折衷考虑，在电阻值和电容值之间不断进行优化，以期达到减小主锁存器的传输时间 t_{MCLK-Q} 的目的。

此外，反馈通路和主通路的主要工作职能不同，主通路需要保证一定的驱动能力，而反馈通路的初衷则是保持数据不会被电容所泄漏。因此，在设计 CMOS 准静态触发器时，主通路上晶体管尺寸应尽量大；反之，反馈通路上的晶体管尺寸应尽量小，从而可以达到减小 A、B 节点电容的目的。

3.5.3 MCML 逻辑

SCFL 逻辑在 CMOS 工艺中应用时也称为 MCML 逻辑 (MOS current mode logic)。MCML 逻辑的延时比 CMOS 逻辑的延时小，如图 3.22(a)所示。在 $0.18\mu\text{m}$ CMOS 工艺下，国外有设计者采用 MCML 逻辑实现了 10Gb/s 速率的 1:8 分接器^[3.7]；在 120nm CMOS 工艺下，亦有采用该逻辑实现 40Gb/s 1:2 分接器的报道^[3.8]。MCML 逻辑的功耗近似与工作频率无关，而 CMOS 逻辑的功耗随频率的升高而增大。在 2GHz 频率以下时 CMOS 逻辑的功耗小于 MCML 逻辑，而在超高速应用中 CMOS 逻辑的功耗将远大于 MCML 逻辑，如图 3.22 (b)所示。此外，MCML 逻辑需要的面积是 CMOS 逻辑 2 到 4 倍，其最大工作频率随着差分对管阈值电压的波动而减小。由于阈值电压波动随着栅长的减小而增大，因此对于深亚微米 CMOS 晶体管来说，该效应已经成为一个严重的问题。因此，若需要在低电压条件下应用，且工作速率在 2.5GHz 或以下时，CMOS 逻辑比 MCML 逻辑更具优势！

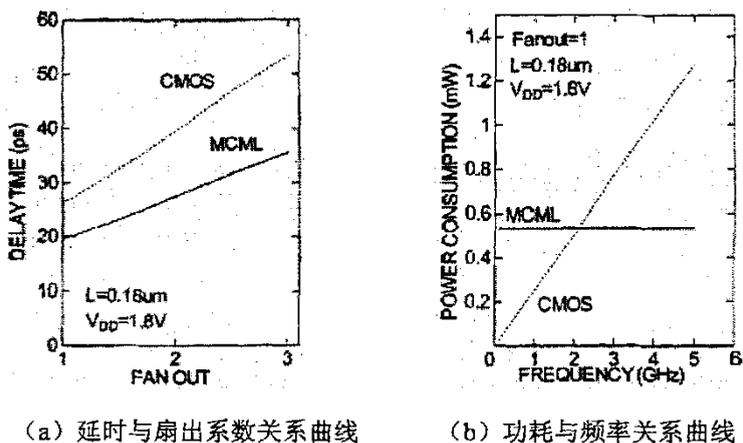


图 3.22 MCML 逻辑和 CMOS 逻辑的比较 ($0.18\mu\text{m}$ CMOS 工艺, 电源电压 1.8V)

3.5.4 总结

通过上述的分析比较，CMOS 准静态逻辑比之 MCML 逻辑具有低功耗的优势。因此，在第二级 1:2 分接器中采用 CMOS 准静态触发器以减小功耗。而在第一级 1:2 分接器中，由于低电压下实现高速率是主要的追求目标，所以适用的结构只有第二章提到的单端动态负载锁存器，而从先前对分频器的设计仿真来看，该结构确实能够胜任！

3.6 时钟 2 分频电路

由先前的系统定义可知，后一级的 1:2 分接器需要频率为 2.5GHz 的时钟，而输入的时钟频率为 5GHz。因此，在芯片的内部需要一个 2 分频电路对输入信号进行处理，从而为后续电路提供时钟。由第二章可知，分频器的基本单元为锁存器。在第二章以及上一节中已介绍了多种锁存器及触发器。为了选择合理的电路结构，需要进一步明确该 2 分频电路的各项指标：1.2V 的电源电压；实现 5GHz 的分频；能够获得比较大的输出幅度以使得信号电平能转化为 CMOS 电平；低功耗。综合上述考虑，单端动态负载锁存器为最佳选择。

既然选用的锁存器结构是单时钟的动态负载锁存器，而本文 2.4 节介绍的 1:2 分频器也是采用该结构，因此在此就不再赘述了。当然，对锁存器而言，尽管工作速率降低了，但同时电源电压也降低了，所以对电路工作点的选择格外重要。

3.7 1:2 分接器的设计

1:4 分接器的核心部分即为采用树型结构的前后两级 1:2 分接器。先回顾一下本章开始的时候提到的 1:4 分接器的设计要点：对第一级 1:2 分接器而言，实现高速最为关键，若能保证电路在 1.2V 的电源电压下亦能实现 10Gb/s 至 5Gb/s 的分接，则后续电路的设计能相对轻松些；而对第二级 1:2 分接器而言，由于工作速率为前级的一半，所以低电压低功耗是主要的追求目标。因此，设计目标的不同决定了电路结构的不同。前级高速 1:2 分接器采用单时钟动态负载锁存器为基本单元，后级 1:2 分接器采用 CMOS 准静态触发器为基本单元。值得注意的是，前级 1:2 分接器的输出数据并不能直接输入到后级 1:2 分接器，必须通过一个数据接口来进行电平的变换。同理，分频器的输出也需要一个时钟接口来进行电平的转换。数据接口和时钟接口在完成电平转换的同时也起到了延时单元的作用。以 1:2 分接器的工作原理为例，因为是半速率时钟工作，即双边沿采样，只有当时钟的上升沿或下降沿处在数据信号（随机码）的中心时，能完成最佳的采样。此时整个电路的相位裕度最大，即健壮性强。图 3.23 所示为采样的时序。

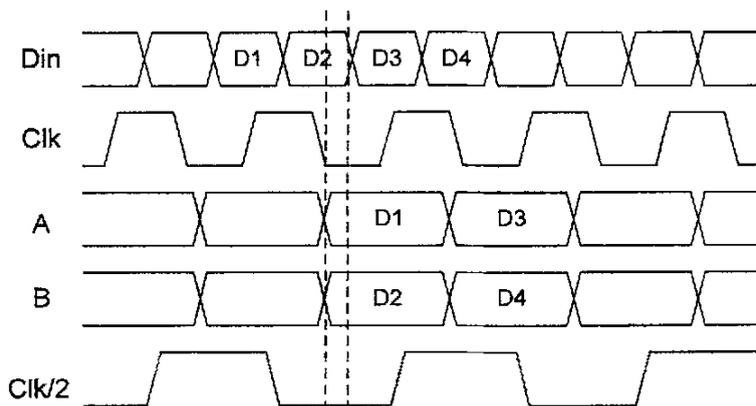


图 3.23 采样时刻时序图

3.8 数据接口与时钟接口的设计

数据接口的功能之一为将第一级 1:2 分接器的输出数据信号转化为 CMOS 电平以供第二级 1:2 分接器使用。类似的, 时钟接口的功能之一是将 1:2 分频器的输出时钟信号转化为 CMOS 电平以供第二级 1:2 分接器使用。对数据接口或时钟接口而言, 其输入均为单时钟动态负载锁存器的输出, 而输出均要求为 CMOS 电平。因此, 它们的设计其实是一样的。下文以数据接口为例介绍设计过程。

在 CMOS 电平中, 逻辑“0”为 0 (电路电压最低值), 逻辑“1”为 V_{dd} (电源电压)。因此该接口实际需要将前级的输出信号转换成满摆幅的信号。尽管单时钟动态负载锁存器的输出信号幅度很大, 但是还需要进一步对其放大以获得满摆幅的信号输出。在本次设计中, 接口的第一部分为一级差分放大器, 其后为四级反相器, 之所以选择四级反相器是为了增强信号的驱动能力, 数据接口框图如图 3.24 所示。

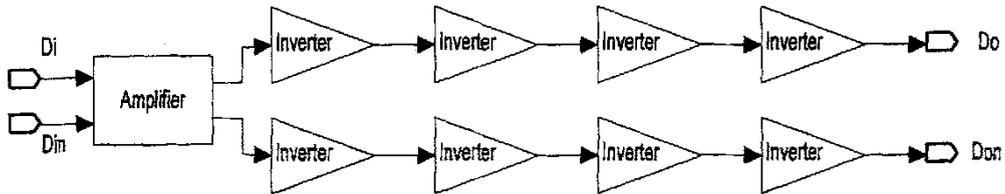


图 3.24 数据接口（时钟接口）的框图

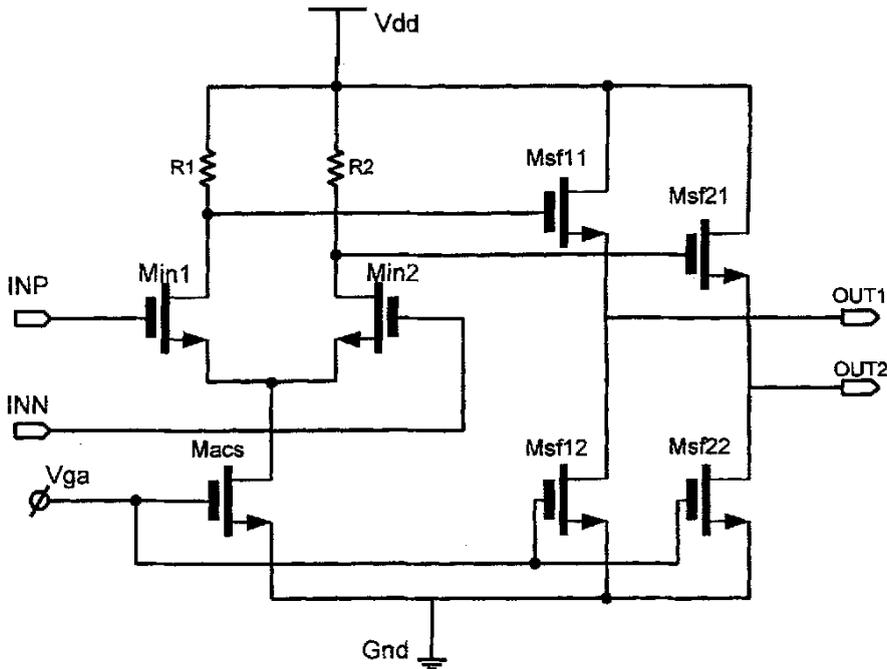


图 3.25 差分放大器的电路结构

图 3.25 所示为差分放大器的电路结构。INP, INN 为经过输入缓冲后的输入信号, 偏置电压 V_{ga} 由偏置电路提供。电路中所用的电阻为 PMOS 构成的有源负载, 图中以电阻的形式标示是为了简化起见。OUT1, OUT2 为输出信号。

NMOS 管 Min1 和 Min2 构成了放大器电路中的主放大器通道。由偏置电压 Vga 控制的 NMOS 管 Macs 构成了用于 Min1 和 Min2 的恒流源，而 Msf11、Msf12、Msf21 和 Msf22 构成了一对源级跟随器，起着电平移位和阻抗变换的作用。

偏置电压 Vga 由片内分压所得。

前文提到，利用反相器在线性区内具有很高的增益这一特点，设计中采用了四级反相器以增强驱动能力（3.4.2 节中，图 3.14 所示）。使用反相器与其前级差分放大器构成两级放大电路，由于反相器高增益区较窄，差分放大器还起到将反相器输入电平稳定在高增益区的作用。一般而言，反相器尺寸越大，驱动能力也越强。但是，大尺寸的反相器无疑为前级电路引入了很大的负载，负载电容的增大对电路工作速率的影响在低电压，尤其是 1.2V 的电压下尤为明显。因此，该处的反相器尺寸均不大。此外，为了使信号波形获得尽可能对称的上升沿与下降沿，反相器中 PMOS 管与 NMOS 管的栅宽比为 2.5。

需要指出的是，差分放大器是个天然的移相器，可以通过对晶体管尺寸的调节来实现不同的延时。同时，每级反相器也起到调节延时的作用。合理调整差分放大器及反相器的晶体管尺寸可使得后级的分接器能得到最佳的数据采样效果。当然，这种效果目前只能在前仿真中体现，正如下一章即将介绍的，版图中的布局布线也引入走线的不对称，反映在时序上就是时延和相位有差异。为了能使得芯片得到满意的测试结果，需要在版图中也适当地调整布局布线，或者改变原先电路的参数，“取长补短”，使得采样的效果接近理想。

3.9 输入输出接口的设计

在第二章中曾经介绍了 1:4 分频器电路的输入输出接口的设计。1:4 分接器的输入接口与 1:4 分频器电路的相同，在此就不再赘述。而 1:4 分接器的核心电路的输出电平为 CMOS 电平，与 1:4 分频器的输出电平不同。因此，其输出接口也与先前介绍的不一样。

图 3.26 为输出缓冲的电路结构图。输出端的三级级联反相器用于缓冲，其中三级反相器的尺寸逐步放大，这是为了提高驱动能力而又不对前级产生较大的负载电容。Mn1、Mn2 等效为差分放大器的一半支路，Mn2 等效为一个带有高内阻的电流源，输出电平取决于负载和外接电源，具有相当的灵活性。但为了能够实现输出端的阻抗匹配，在漏极输出端添加一个对电源 100 欧姆的电阻作为负载，这样在不大幅降低输出电压幅度的情况下减小了信号的反射。输出端在片外通过一特性阻抗为 50 欧姆的传输线接到 500pF 电容（由焊盘与封装引入）和 50 欧姆电阻并联的负载上。

电路所使用的参考电压源如图 3.27 所示。该电路输出的参考电压具有正的温度系数。温度升高时，MOS 管电子迁移率降低会减小电流源的电流，令工作速率降低。采用这种参考电压源设计方案，在工作温度较高时输出电压也较高，因此可以补偿电流减小的损失，保证电路的稳定工作^[3.9]。为了提高输出参考电压对工艺误差的容限，可以增大它们的栅长为最小栅长的 2 到 3 倍。

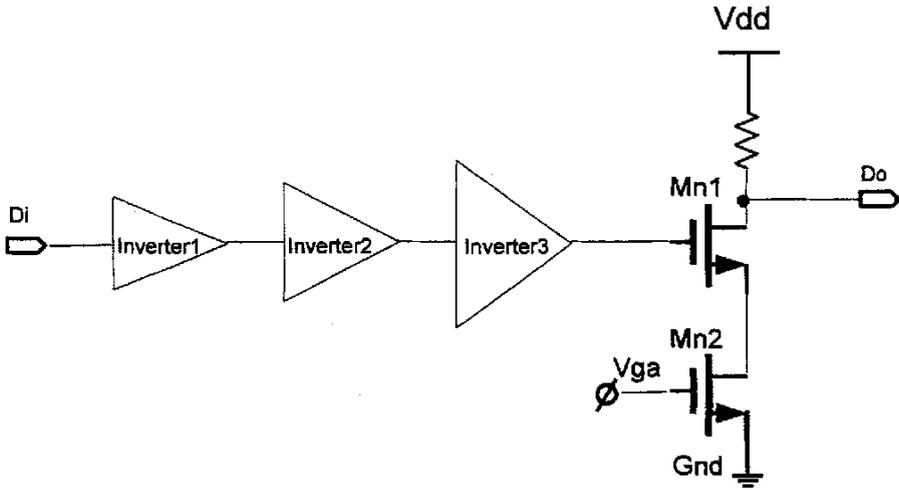


图 3.26 输出缓冲的电路结构

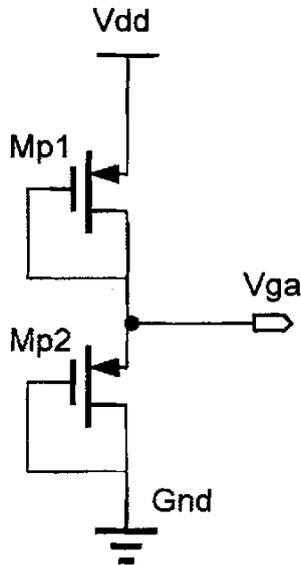


图 3.27 简单的参考电压源

3.10 前仿真结果

使用的仿真软件为 Hspice，模型库为 TSMC 的 0.18 μm CMOS 混合信号模型对电路进行仿真。这里给出的仿真结果是瞬态波形。输入数据为伪随机序列产生器产生的随机码。在前仿真中，1:4 分接器的最高工作速率可达 12.5Gb/s。这里给出的仿真结果为最高工作速率的情况。此时，输入数据码字比特率为 12.5Gb/s，为差分输入；中心电平为 0.9V，幅值为 300mV。波形如图 3.28 所示（仅给出了单端波形）。

该随机码的码字如下：010100000100000110110101011000000111110000
011001111011101101100101010100011001010011100110101001001

111001100010001001101100111101000001110011110110001001001
01000111110101000110。

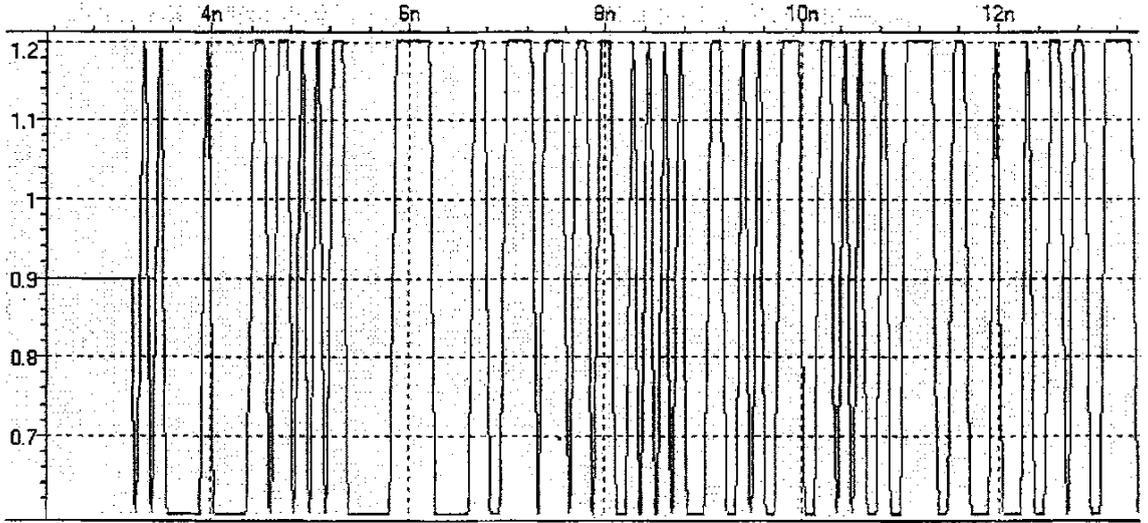


图 3.28 比特率为 12.5Gb/s 的输入随机码波形 (单端波形)

差分时钟输入信号速率为 6.25GHz，中心电平为 0.2V，幅值为 200mV。其单端波形如图 3.29 所示。

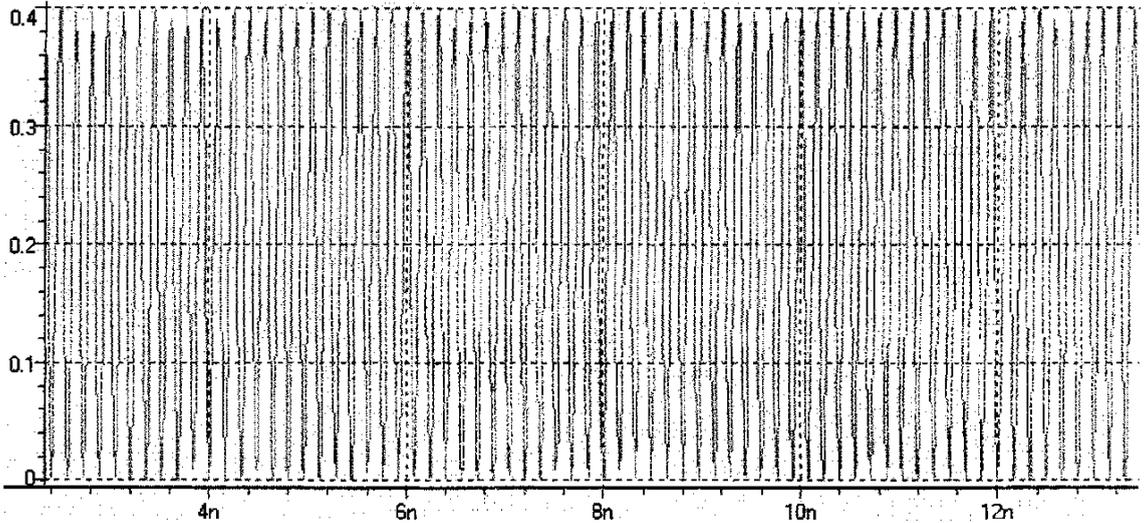


图 3.29 速率为 6.25GHz 的时钟输入信号 (单端波形)

由于初始状态及延时的关系，从 4ns 开始，正确分接出的四路码字应分别为，

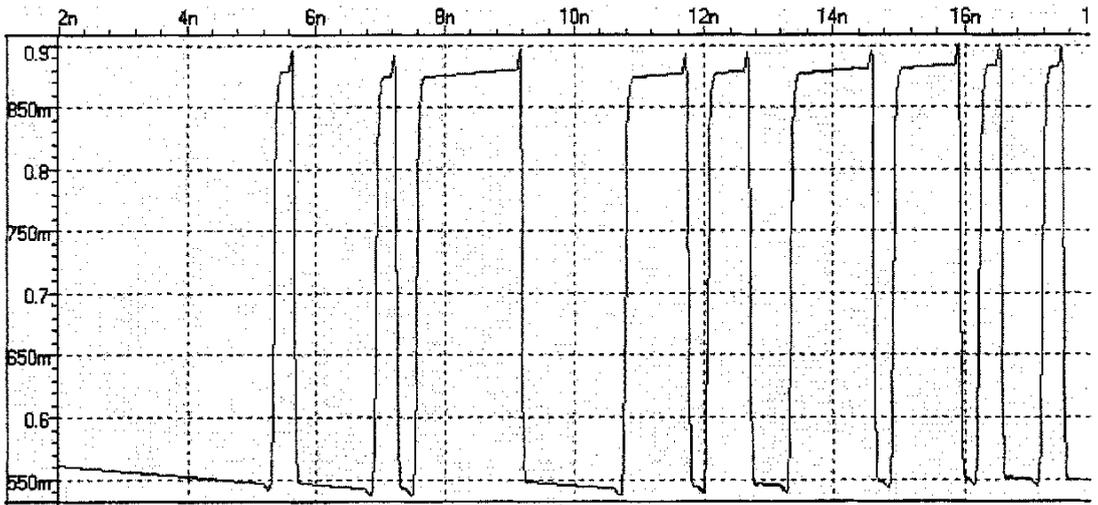
D1: 00001000010111110000011101100111101110100100;

D2: 10100110110011101111000001111101000111011111;

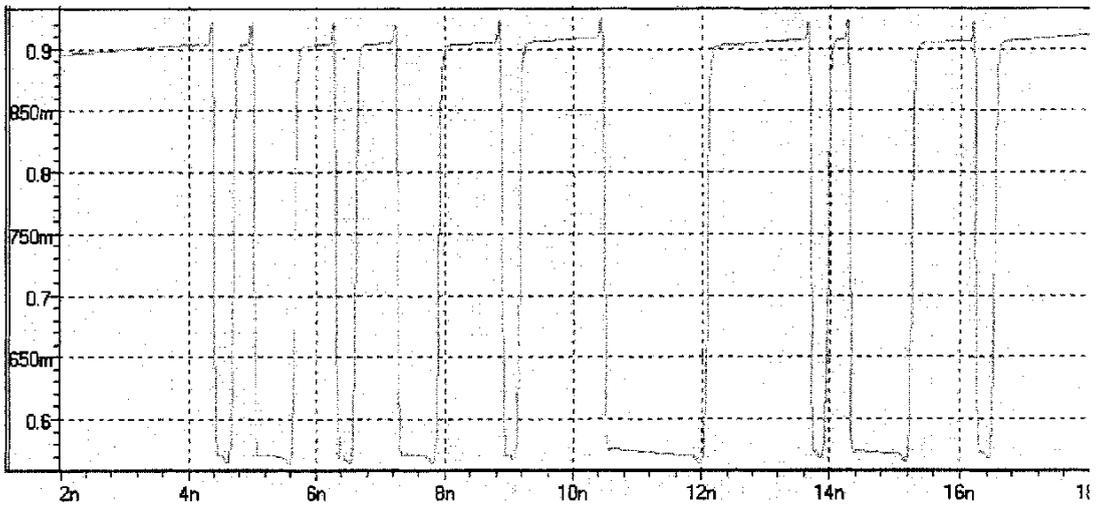
D3: 00001010100011000010101010000001010100001001;

D4: 10011100101100111001110110000110011000101100。

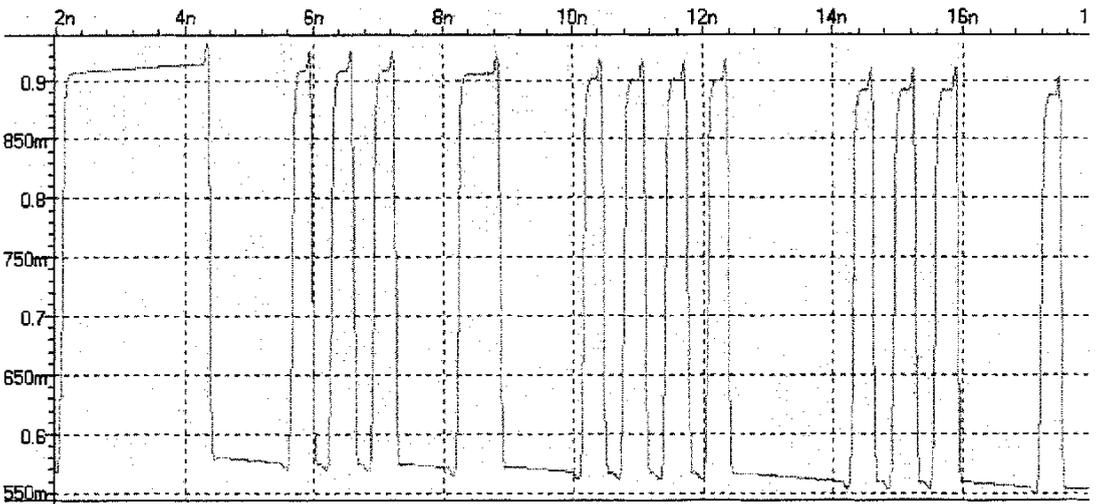
四路输出数据的瞬态波形如图 3.30 (a)、(b)、(c)、(d) 所示。



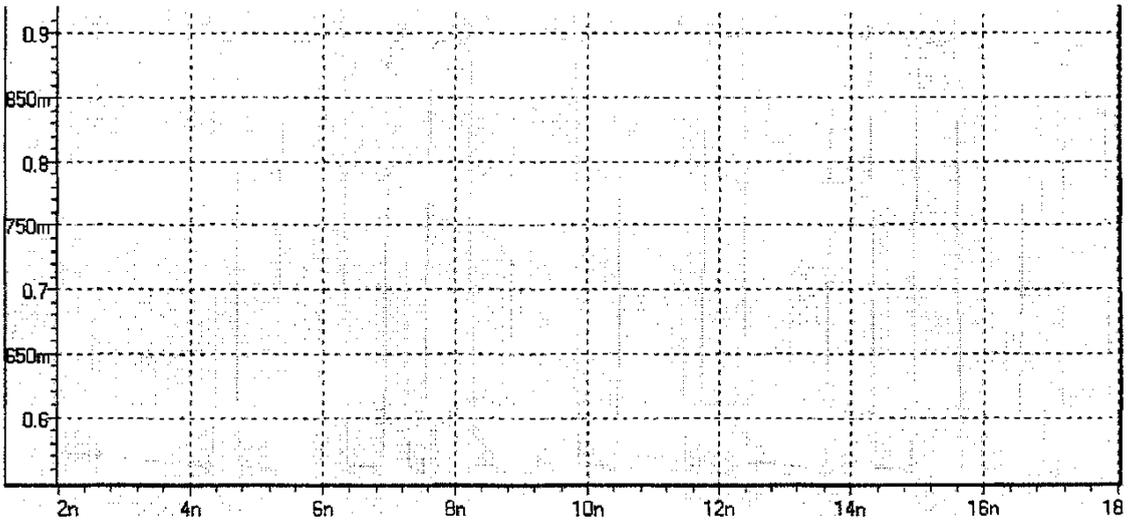
(a) 输出数据 D1 的瞬态波形



(b) 输出数据 D2 的瞬态波形



(c) 输出数据 D3 的瞬态波形



(d) 输出数据 D4 的瞬态波形

图 3.30 四路输出数据的波形

在光纤通信中，眼图往往可以定性的看出采样容限和误码率，图 3.31 为输出数据的眼图（给出了一路输出眼图）。

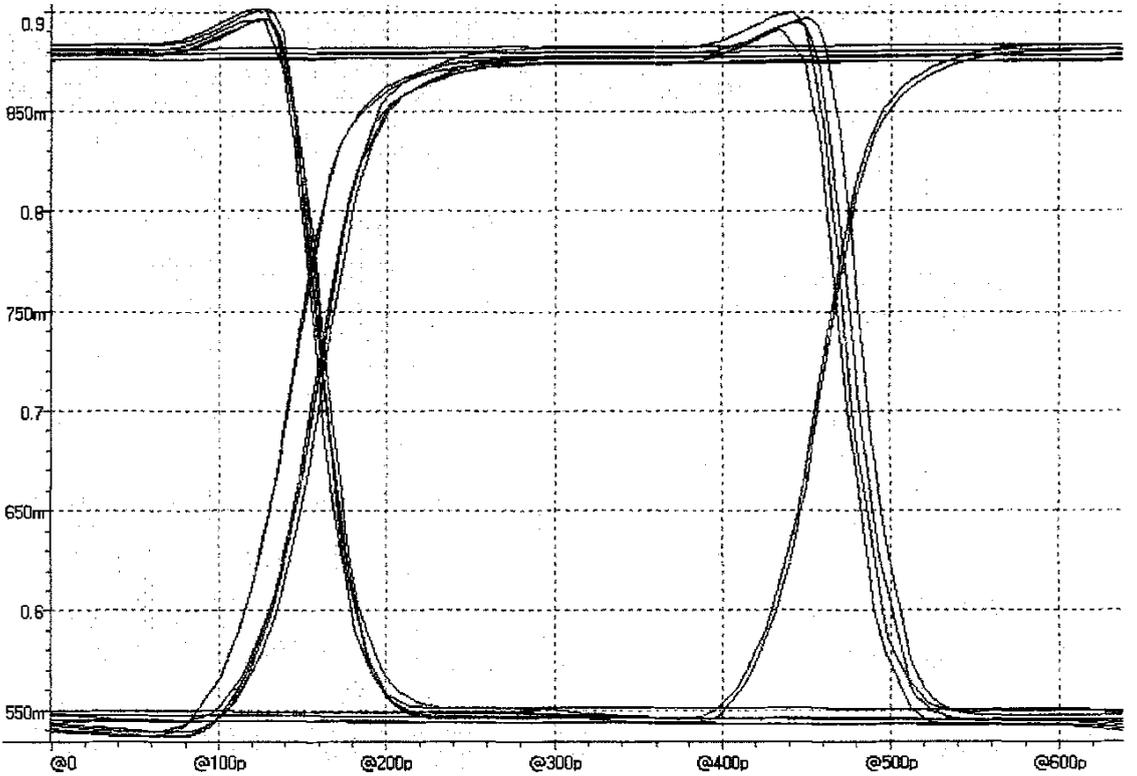


图 3.31 输出数据眼图

参考文献

- [1] 曾智龙等 “三种复用技术的比较” 飞通光电子技术 2001 第二卷第三期
- [2] 田磊 “0.25 μm CMOS 10Gb/s 高速分接器设计” 2001.5
- [3] 王志功编著, “光纤通信集成电路设计”, 高等教育出版社, 2003 年 6 月
- [4] Akira Tanabe, Yasushi Nakahara, Akio Furukawa, and Tohru Mogami, ” A Redundant Multivalued Logic for a 10-Gb/s CMOS Demultiplexer IC” in IEEE Journal of solid-state circuits, vol. 38, no. 1, Jan 2003
- [5] Behzad Razavi,模拟 CMOS 集成电路设计, 西安交通大学出版社, 2003, pp 340
- [6] Jan M. Raby, Digital Integrated Circuits-A Design Perspective, 清华大学出版社 Prentice Hall International ,Inc. 1999
- [7] Akira Tanabe,Masato Umetani, et al, “0.18 μm CMOS 10Gb/s Multiplexer/Demultiplexer Ics Using Current Mode Logic with Tolerance Threshold Voltage Fluctuation,”in IEEE Journal of solid-state circuits,vol.36, no.6,Jun 2001
- [8] Daniel Kehrer,Hans-Dieter Wohlmuth,Herbert Knapp,et al, “40Gb/s 2:1 Multiplexer and 1:2 Demultiplexer in 120nm CMOS,” 2003 IEEE International Solid-State Circuits Conference
- [9] 卢文才, CMOS 1:4 分接器的设计[硕士论文],东南大学, 2003

第四章 版图设计

对于超高速集成电路设计而言，版图设计也是关键的环节，其直接关系到芯片的结构及其最后的性能。版图(Layout)是集成电路设计者将设计并模拟优化后的电路转化成的一系列几何图形，它包含了尺寸大小、各层拓扑定义等有关器件的所有物理信息。集成电路制造厂家根据这些信息来制造掩膜。版图的设计有特定的规则，这些规则是集成电路制造厂家根据自己的工艺特点制定的。不同的工艺有着不同的设计规则。设计者只有在得到厂家提供的规则以后才能开始设计。版图在设计的过程中要进行定期的检查，避免错误的积累而导致难以修改。很多集成电路的设计软件都有设计版图的功能，Cadence Design System 就是其中最突出的一种。Cadence 提供称之为 Virtuoso 的版图设计软件帮助设计者在图形方式下绘制版图。

4.1 版图设计引入的效应

版图并非仅仅是简单的几何堆砌，由于它与器件模型建立起了一一对应的关系，因此会产生一些在前仿真所难以计入的效应。下文将逐一分析其引入的效应，并分别给出应对的措施以“趋利避害”。

4.1.1 寄生效应

由于电路速度已达 GHz 频段，所以必须考虑互连线的寄生参数对电路性能的影响。在电路版图设计时应尽量减少设计不合理带来的寄生效应。寄生效应往往分为：寄生电容、寄生电阻及寄生电感的影响。在光纤通信的超高速电路设计中，寄生电容往往是最被重视的。

寄生电容：寄生电容包括节点寄生电容、连线寄生电容和栅寄生电容。在高速集成电路中，寄生电容会降低电路的速率并增加电路的功耗。因此，这对电路性能的提高是很不利的，设计者应努力减少寄生电容的影响。在电路版图设计时应尽量减少设计不合理所带来的寄生效应。一般可采用如下方法：

1) 电路版图可以进行几层布线。由于金属 1 (底层金属) 的寄生参数最大，金属 2 次之，而顶层金属的寄生参数最小，因此较长的高频信号线尽量选用顶层金属；

2) 金属连线的寄生电容中边缘电容占主要部分，因此应减小和避免相邻的两条信号线平行布线。此外，亦可采用相邻信号线选用不同金属，加宽信号线间距等方法，使信号线间的耦合电容最小，减小信号之间的串扰；

3) 减小电源耦合串扰。除考虑外接滤波电容外，还要在电源和地连线之间有意识地增加交叠电容效应，以滤除掉电源中的交流分量，保证电路的稳定工作；

4) 关键节点的寄生参数尽量小。差分电路中最关键的节点是差分对管的漏极输出端。该点的寄生电容直接影响电路的速度性能。因此要对版图结构做优化，使此点的寄生电容达到最小，可以通过减小与该点相连的引线的寄生电容来进行优化；

- 5) 电路的输入输出靠得太近会产生寄生反馈, 造成电路不能正常工作。因此电路的输入输出应尽量分开;
- 6) 为了确保电路中各处电源电位相同, 芯片内部的电源线和地线全部连通。

4.1.2 闩锁效应

闩锁效应是 CMOS 工艺特有的寄生效应, 严重的闩锁效应会导致电路失效, 甚至烧毁芯片。为避免闩锁效应, 必须减小阱和衬底的电阻, 有如下方法:

- 1) 在 NMOS 或 PMOS 器件与电源相连的有源区附近加尽可能多的阱和衬底的接触孔, 减小寄生电阻;
- 2) 对大电流器件使用保护环。

4.1.3 天线效应

由于 MOS 管栅极很薄, 与栅极相连的多晶硅、金属 1、金属 2 的金属面积要小, 以防止工艺流程中产生的静电将栅极击穿。对于不可避免的较长的栅极引线, 可以采用跨层金属连线来消除天线效应, 即控制与栅极直接相连的金属 1 连线的面积, 用金属 2 或金属 3 作为长距离或大面积连线。

4.1.4 电阻效应

金属、多晶硅分别有各自不同的方块电阻值, 实际矩形结构的电阻值只跟矩形的长宽比有关。金属或多晶硅连线越长, 电阻值就越大。为防止寄生大电阻对电路性能的影响, 电路中尽量不走长线。

4.1.5 线电流密度

版图中的金属线对流过的电流密度有限制, 当电流较大时要增加金属线宽。为了确保电源中能流过足够的电流, 并减小电源和地线的封装和键合带来的寄生电感对芯片的影响, 不作其它用途的剩余 PAD 都用作电源和地线。为了使芯片各处的电源电平和接地电平保持一致, 所有相同的电源和地线在内部分别连通。为了便于高频测试, 高速信号的输入和输出端都采用“地-信号-地 (G-S-G)”的布局形式 (便于 G-S-G 类型探头的测试)。

4.1.6 对称性

全差分电路中的不对称性会产生输入参考失调电压, 因而限制了可检测的最小信号电平。尽管一些失配不可避免, 但如果不充分注意版图的对称性, 就可能产生大的失调电压。差分电路的众多优点都源自于电路的对称特性。因此对差分电路而言, 版图设计首要的考虑因素是对称。

4.2 焊盘的分析与改进

在深亚微米 CMOS 工艺中,随着工艺的进步,器件尺寸均迅速减小。但是受制于键合器的因素,焊盘的尺寸并未大幅减小。在以往的高速电路设计中,焊盘往往是不易受到重视的一个环节。而在本文的设计中,焊盘的设计也是非常重要的一环。这是因为对超高速电路而言,内部电路通过输出缓冲接到焊盘,然后输出信号为测试仪器所捕捉。如果能对焊盘构筑一个简单的模型,并且对焊盘进行优化,使得其等效的负载电容大大减小,无疑有两个直观的好处:首先,能在示波器上得到更大的输出信号幅度;其次,以本文的超高速 1:4 分频器为例,较小的输出阻抗可以获得更高的工作速率,使得核心电路工作性能更佳。

为了减少焊盘引入的寄生电容,有一些学者尝试在工艺上作出改进^[4.1]。当然,也有在不对工艺进行额外改进的情况下,通过对焊盘结构的分析比较,优化寄生电容的手段^[4.2]。通过互连多层金属及在衬底与金属之间插入额外的介质,以及对焊盘的形状进行改进,均可以使得改进后的焊盘比传统焊盘的寄生电容小 50%。下文将展开具体的分析。

图 4.1 所示为焊盘的横截面图,为简化起见,该图以四层金属为例。一般来说,焊盘的电容主要由金属层与衬底之间形成。因此,在理论上,若是增加金属层与衬底之间的距离,无疑等效于拉开电容两极板的距离,可以使得容值减小。所以,自然而然想到可仅使用顶层金属来构筑焊盘。但是,若仅由低层金属来构筑焊盘,会导致键合的黏附性不够及剥落现象的产生^[4.3]。为了解决前述的问题,本文采用多层金属互连的方法。

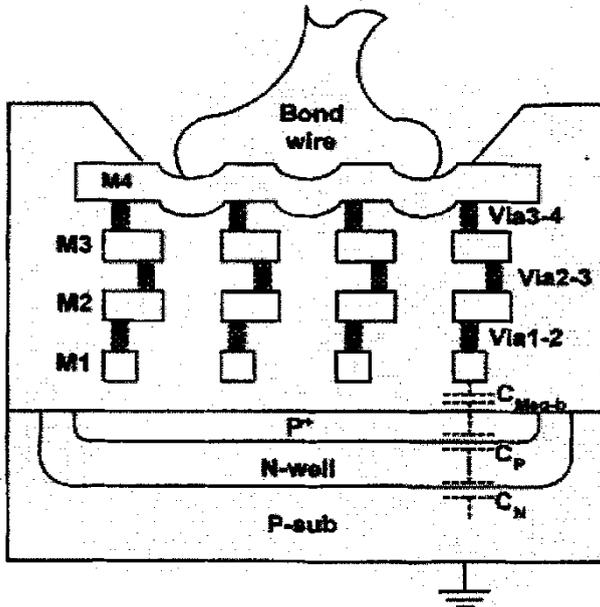


图 4.1 焊盘的横截面图

为了同时减小焊盘的寄生电容而又不带来黏附性不强及易剥落的问题,一种新的焊盘结构应运而生。该焊盘采用多层金属互连,且顶层金属仍为一个平面,而在靠近衬底的金属层特意刻成许多

小区域以减小与衬底间的重叠面积。图 4.1 所示的焊盘显示了这一特征，图中的 M4 为顶层金属（假定其为四层金属工艺），M3、M2、M1 均按上述要求为非连续的形状。此外，在金属层和衬底之间还插入了其他介质：P+及 N-well。其分别与金属层和衬底间形成了串联的电容 C_P 与 C_N 。若把金属层间的电容等效为一个电容 $C_{Meq\ b}$ 。则可以推得图 4.1 的焊盘的总体电容 C_{Total} 为：

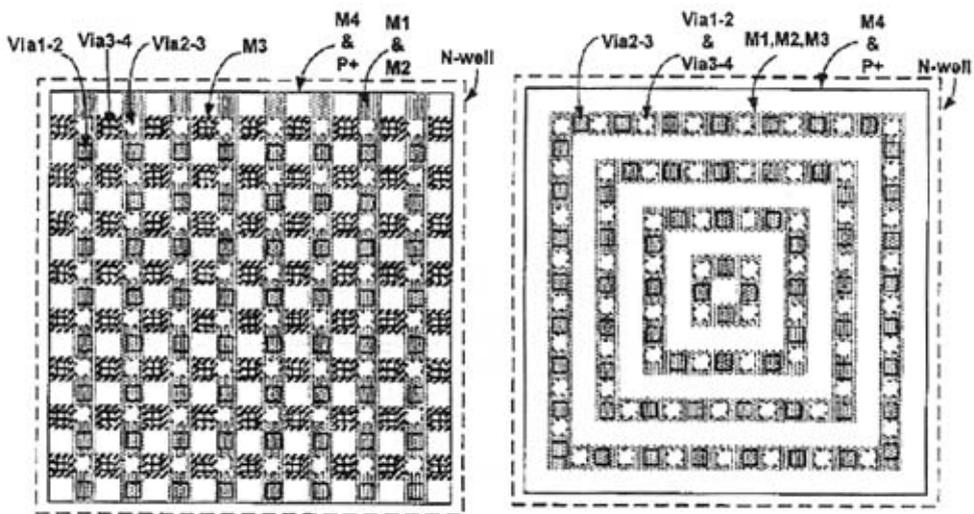
$$\frac{1}{\frac{1}{C_{Meq\ b}} + \frac{1}{C_P} + \frac{1}{C_N}} \quad (4-1)$$

因为金属层到衬底的电容减小（由于靠近衬底的金属层与衬底的重叠面积小），且又串联了电容。因此，其比传统的焊盘的寄生电容要小很多。此外，低层的金属由于其不连续的形状可使得顶层金属的形状更加不规则（从图 4.1 可见，M4 的隆起），故而，使得键合线与顶层金属的黏附性大大增强。

为了验证新焊盘的性能，设计了不同结构及金属形状的焊盘^[4.2]。图 4.2 所示的为四种不同的焊盘结构。

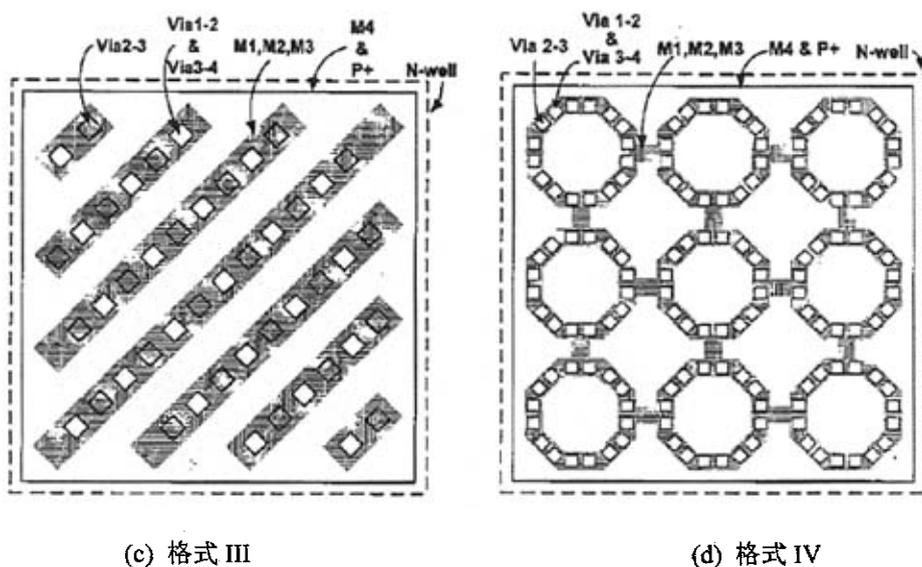
由图直观可得，底层金属与衬底的重叠面积：传统焊盘>格式 I>格式 II>格式 III>格式 IV。而底层金属与衬底的重叠面积越小意味着更小的焊盘寄生电容。

经过测试^[4.2]发现，传统焊盘的寄生电容值约为 0.35pF，四种改进格式的焊盘的电容值在 0.12pF 与 0.24pF 之间。可以看出，小的底层金属与衬底的重叠面积确实可以减小焊盘的寄生电容。对于格式 IV 而言，由于其加入了 P+及 N-well 扩散，该寄生电容值仅为 0.12pF，仅为传统焊盘的 35%。



(a) 格式 I

(b) 格式 II



(c) 格式 III

(d) 格式 IV

图 4.2 4 种格式的焊盘

此外，经过键合健壮性的测试，以上 4 种格式的焊盘都具有很强的健壮性，因此是可以在实际电路中使用的。

综上所述，格式 IV 的焊盘具有最小的电容，且具有可用性。直观来说，格式 IV 的金属互连状况类似于“蜂窝”状。本文电路中的信号焊盘即采用的“蜂窝”焊盘。为了更小地减小电容，将焊盘的形状由正方形变为八角形，以使得与衬底的重叠面积更小。此外，在金属层与衬底间插入了 P+ 及 N-well 的介质以最大程度的减小寄生电容。焊盘中的小蜂窝单元如图 4.3 所示。

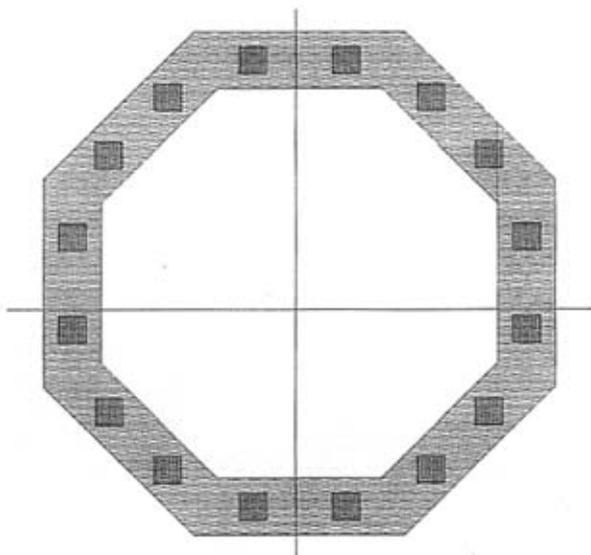


图 4.3 蜂窝状单元

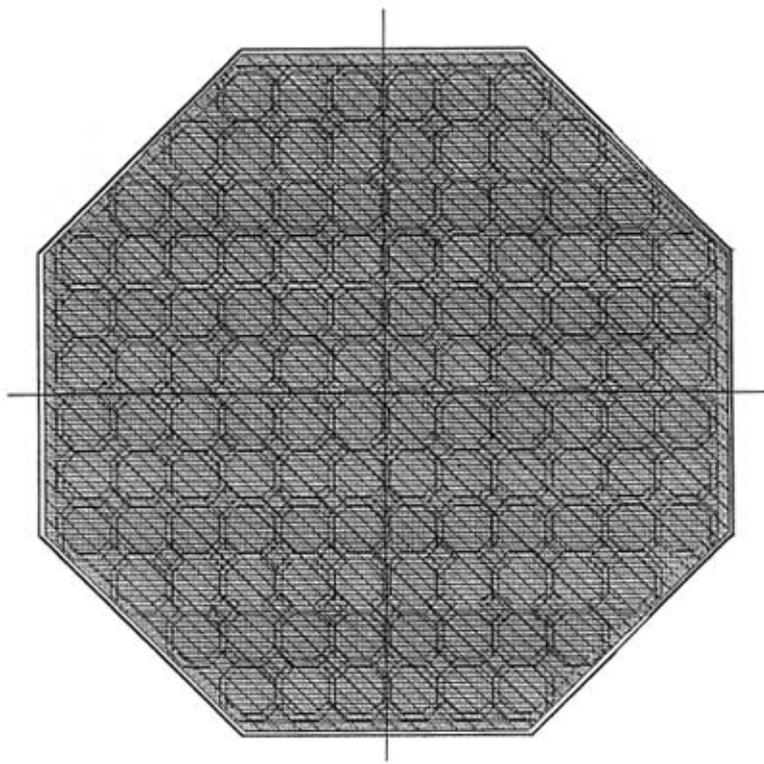


图 4.4 采用蜂窝状单元及插入介质的八角焊盘

实际采用的信号八角焊盘如图 4.4 所示。

4.3 版图设计的要点

不同的设计者有不同的版图设计风格，而好的版图都会有一些共同点。在实际的版图设计中除了要注意本章上述各节的因素外。在对整个电路进行版图设计之前，对版图的整体布局做个规划是很有裨益的。

首先，先明确输入输出焊盘的摆放位置，并考虑到测试因素，根据测试探针的个数以及间距调整输入输出焊盘。对一般的电路而言，是“焊盘决定面积”。这是由于核心电路的面积并不太大，主要由焊盘的布局决定了整个芯片的大小。在该情况下，进一步考虑输入输出的走线，以及核心电路的摆放。

接下来，由整体转向局部，正如同电路设计中的前仿真一样，进行各模块的设计，然后进行拼接。在小模块的版图设计当中，需要注意很多细节，诸如，晶体管的朝向应尽量一致，这样在工艺制程中可以减小在刻蚀的过程中造成的偏差^[4,4]，图 4.5 揭示了这种情况，器件 A 的排列朝向一致，而 B、C 的朝向不同，器件 A 的匹配度比 B、C 均高。

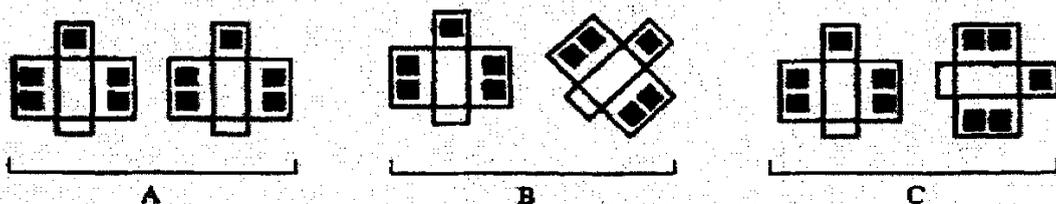


图 4.5 器件 A 朝向一致，器件 B、C 朝向不一，A 的匹配更精确

同样的，为了减小在刻蚀中可能导致的器件偏差，在电路中的关键器件（即对参数变化比较敏感的器件，若因为工艺或模型的偏差较易对电路的性能产生不利的影响）周围应该加上“Dummy”器件。Dummy，字面上的意思是“假的，虚构的”，但正是这种“虚构”的器件保证了电路的性能。

举例而言，由于多晶硅刻蚀率的偏差，大的多晶硅开口比小一些的多晶硅开口容易产生过刻蚀。这种效应会导致以多晶硅作为栅极的 MOS 晶体管的栅长的改变。以图 4.6 (A) 中的版图为例，晶体管 M2 的栅极两侧均有相邻的栅，而晶体管 M1 及 M3 的栅极只有一边与栅相邻。在刻蚀中，晶体管 M1 及 M3 栅极的外侧会产生过刻蚀，而 M2 栅极的外侧则不会出现上述情况。因此，M1 及 M3 的栅长比 M2 的栅长要略微的短一些。在图 4.6 (B) 的版图中，在晶体管的排布中加入了 Dummy 栅极。大多数设计者在设计时使得 Dummy 栅极的栅宽与实际晶体管的栅宽一致，事实上并无必要，因为多晶硅条的宽度远不如它们的间隔来的重要，所以，Dummy D1 及 D2 的宽度应该尽可能窄，只要能在上面保留通孔的宽度即可。值得注意的是，Dummy 与实际栅之间的间隔必须精确的等同于实际栅之间的间隔。此外，Dummy 栅极不应悬空以防止其在未知的电位上，在实际应用中，一般将 Dummy 接到衬底电位。

在 CMOS 工艺中，电阻阻值出现 10% 的偏差是非常正常的。如果电路中含有电阻，若想要提高其精度，一方面可以采用增多方块电阻的方块数的形式；另一种方法即采用 Dummy 器件。对于出现多个电阻并行排列的情况，与图 4.6 所示的晶体管例子相似，可以在外侧电阻的旁边加上 Dummy 器件，具体的 Dummy 器件视电阻材料而定。

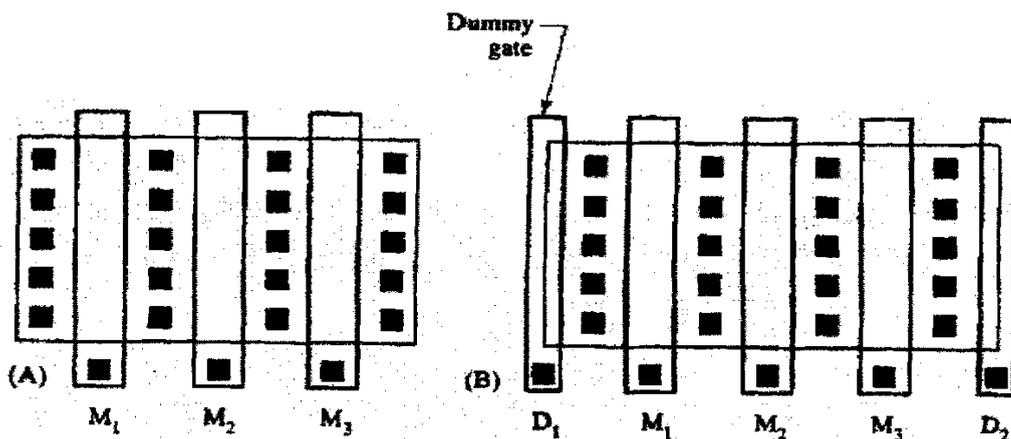


图 4.6 MOS 晶体管排列 (A) 无 Dummy 栅 (B) 具有 Dummy 栅

在 4.1.1 节中，曾经介绍过版图引入的寄生效应，而为了减小寄生电容的影响，通常，较大尺寸的晶体管采用叉指（Fingered transistor）结构的形式。图 4.7 为采用叉指结构的晶体管。其中 S 为源极（Source），D 为漏极（Drain），BG 为衬底（Backgate）。叉指数为偶数的晶体管含有奇数个源极/漏极叉指（如图 4.7 (B) 所示）。通常，在构建这样的晶体管版图时，选择把源极放在晶体管的两外端。这样做有两大好处：其一，可以使衬底与晶体管的一端或者两端连接，方便了互连；其二，最重要的是，它减少了一个漏极叉指！这样的排列方式是以增加源极寄生电容为代价来减小漏极寄生电容。一般而言，漏极寄生电容对电路性能的影响比源极寄生电容的影响大。因此，以增加源极寄生电容的方式换取漏极寄生电容的减小通常会使电路的性能得到提高。

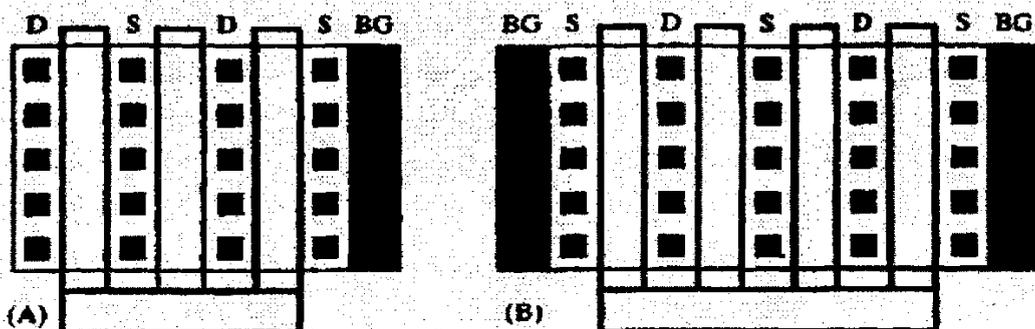


图 4.7 (A) 三叉指

(B) 四叉指

以上叙述的是一些版图设计中的细节，如果能在每个局部模块的设计中都能慎重考虑，精心设计，则设计者的心血必能在测试结果中得到很好的回报！

4.4 1:4 分频器的版图设计

对 1:4 分频器而言，它是一个“焊盘决定面积”的芯片。由于它的核心电路很小，这就需要考虑核心电路应该离输入焊盘近还是离输出焊盘近的问题。一些情况下，为了使得输出信号在测试仪器上能获得更好的效果，会使输出信号线的走线尽量短，即核心电路离输出焊盘近。而对本次设计的 1:4 分频器而言，其预期的工作速率应在 20GHz 以上，而输出频率仅为输入的 1/4。因此，为了使芯片的核心电路的输入尽量理想，且为了减小输入高频信号的损耗，电路的核心部分靠近输入焊盘一侧。1:4 分频器芯片的整体版图如图 4.8 所示。整个版图的尺寸为：480 μm * 480 μm 。其中左侧为信号输入端，焊盘布局为 GSGSG；右侧为信号输出端，焊盘布局与输入端一样。在上下两端的面积较大的长方形焊盘为电源焊盘，之所以面积较大是为了使得测试的时候电源的扎针更为充分。

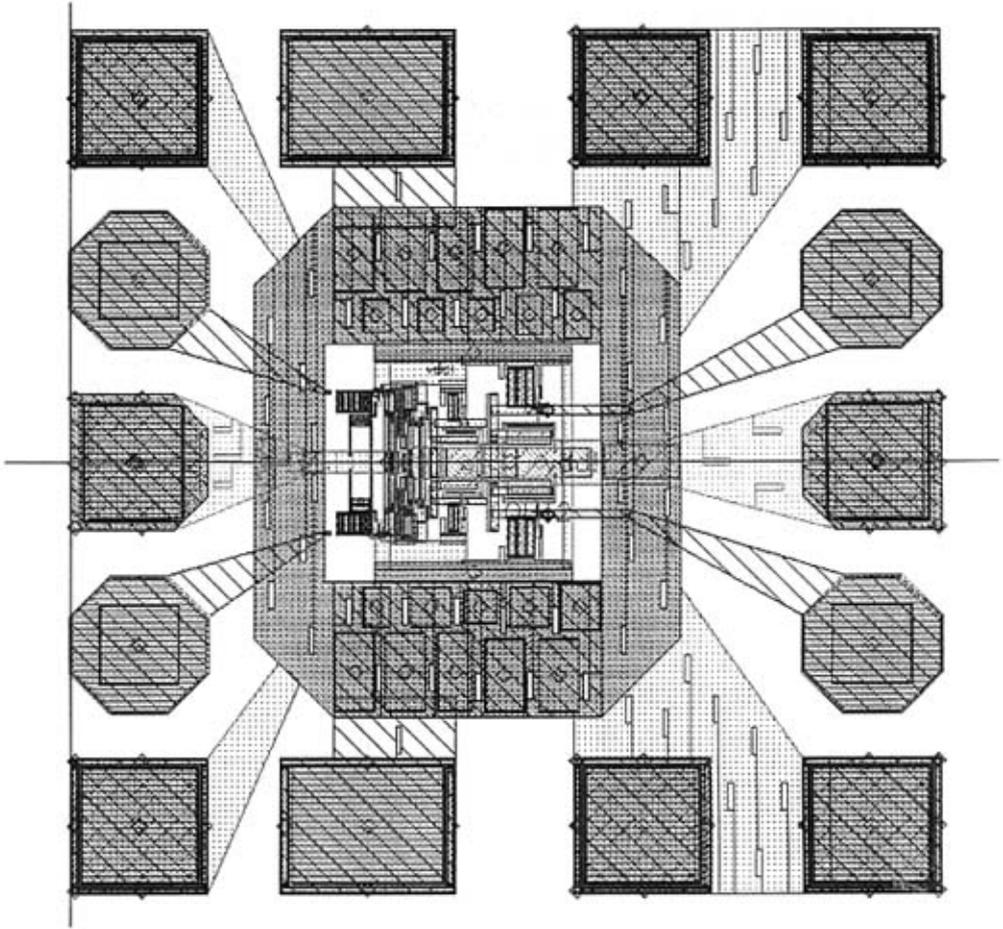


图 4.8 1:4 分频器芯片的版图

因为芯片的工作速率较高，在设计版图时应采取措施尽量减小寄生参数的影响。并使各模块尽量紧凑（本芯片的核心电路面积仅为 $16\mu\text{m} \times 80\mu\text{m}$ ），重要的信号线通路尽量干净（避免与其他信号线交叉），同时减少高频信号线的走线长度（例如，本芯片的核心部分有意的靠近输入端一侧以减少输入高频信号的走线并降低损耗）。为了使芯片内部供电充分，版图中将电路内部所有的电源接在一起。而在电路中，如果有空间，可以多打对地的接触孔以使得接地更加充分。在图 4.8 中，可以看到在电路与焊盘之间有一层灰色的环状，它是由完全重叠的两层金属线构成，其中一层金属线为电源线，另一层为地线。它对芯片内部起到保护环（Guard ring）的作用，期望能隔离外界对芯片内部的干扰。

通过后仿真发现，输出缓冲级对电路的最高工作速率有着极大的影响。因此，在保证输出驱动的同时减小输出级的栅宽，从而减小核心电路的负载以及输出级的寄生参数。

4.4.1 1:4 分频器的后仿真

和前仿真不同，电路的后仿真从版图中提取了各种寄生参数后的仿真。一般而言，后仿真的结果会比前仿真差些，但更贴近于实际测试。

1:4 分频器的后仿真是在工作站的 Cadence 环境下进行的，使用的模型库也与前仿真一样，下文将逐一给出后仿真结果。

当电源电压为 1.8V，输入信号的频率为 23.6GHz 时，4 分频后得到的 5.9GHz 的差分输出信号波形如图 4.9 所示。

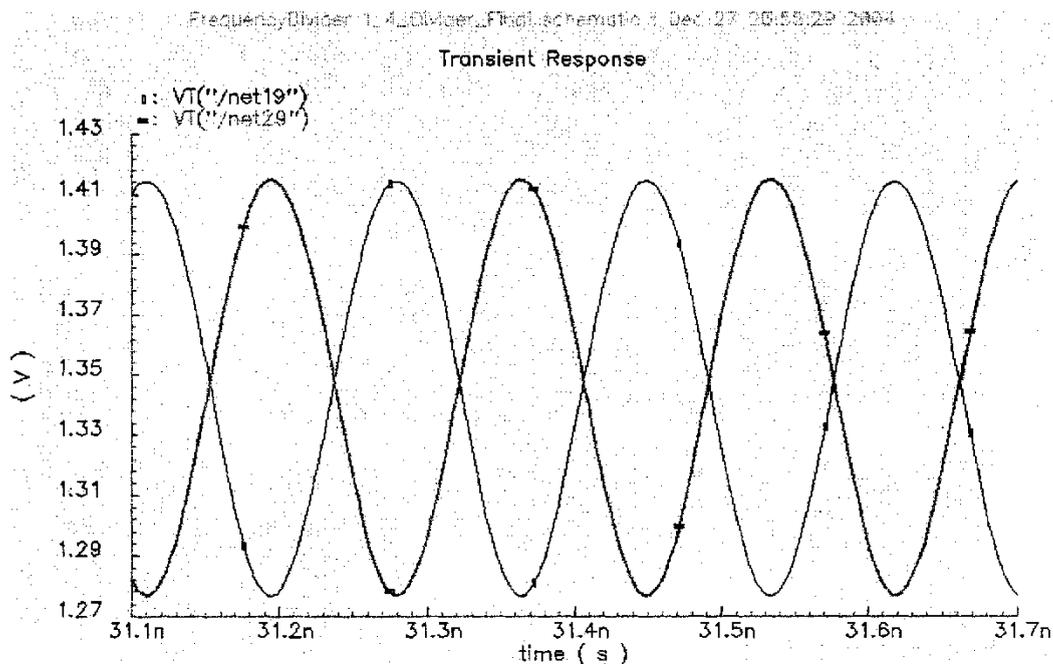


图 4.9 将输入 23.6GHz 的信号 4 分频后得到的 5.9GHz 的差分输出信号波形

当电源电压为 1.8V，输入信号的频率为 16.2GHz 时，4 分频后得到的 4.05GHz 的差分输出信号波形如图 4.10 所示。

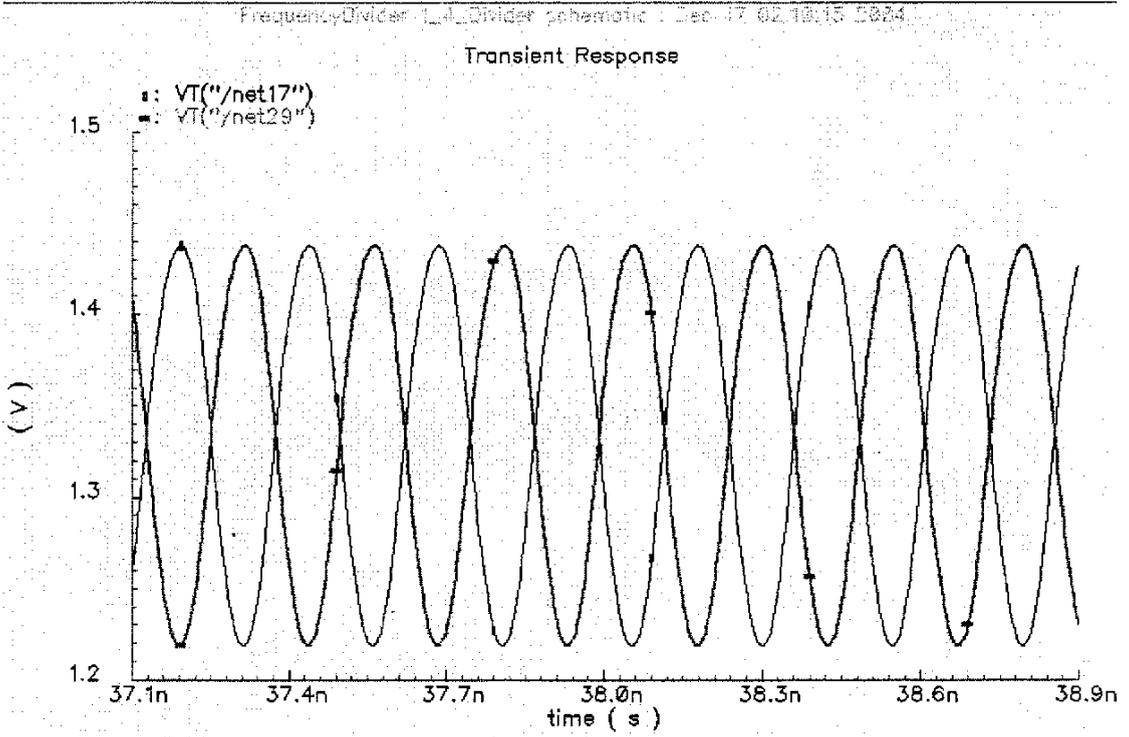


图 4.10 将输入 16.2GHz 的信号 4 分频后得到的 4.05GHz 的差分输出信号波形

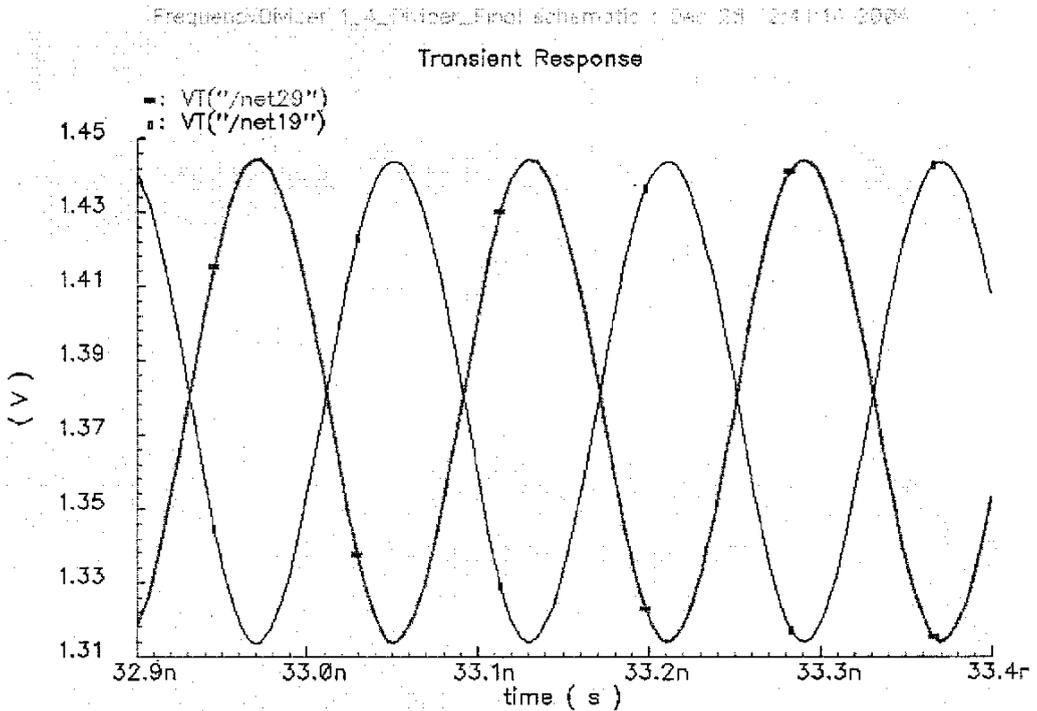


图 4.11 将输入 25GHz 的信号 4 分频后得到的 6.25GHz 的差分输出信号波形
当电源电压为 1.85V，输入信号的频率为 25GHz 时，4 分频后得到的 6.25GHz 的差分输出信号

波形如图 4.11 所示。

当电源电压为 1.85V，输入信号的频率为 18.8GHz 时，4 分频后得到的 4.7GHz 的差分输出信号波形如图 4.12 所示。

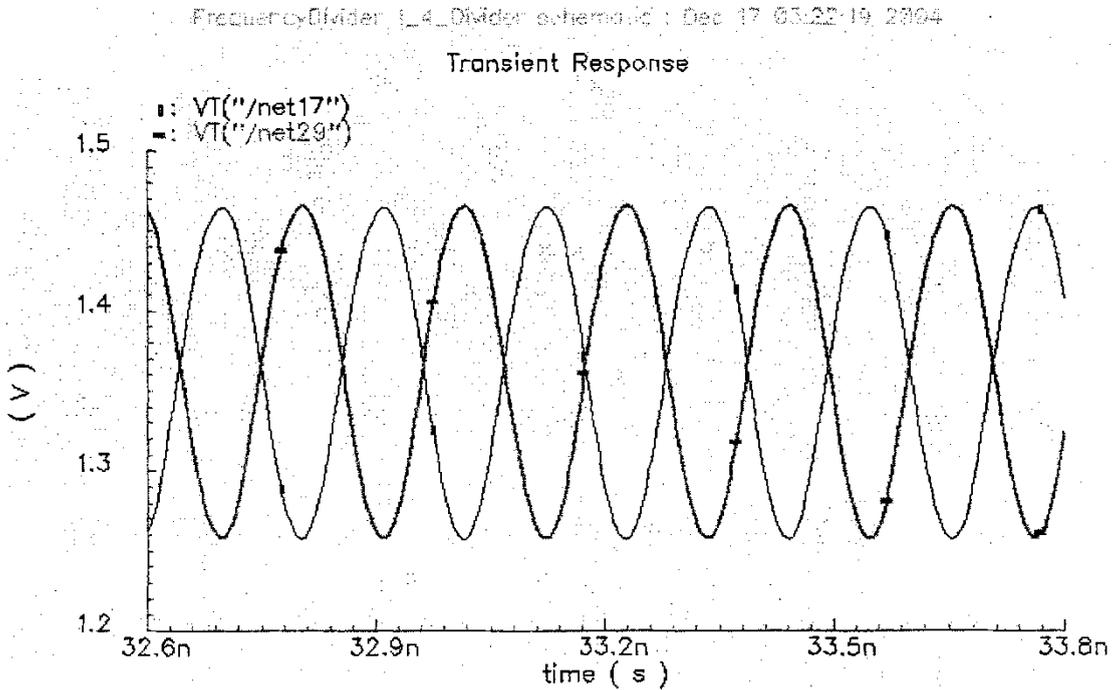


图 4.12 将输入 18.8GHz 的信号 4 分频后得到的 4.7GHz 的差分输出信号波形

从后仿真的结果可以看出，电路的最高工作速率比前仿真下降了一些。这是由于版图图中引入的一些负面效应导致的，工作频率越高，版图对电路性能的影响就越大。另外，当提高电源电压时，电路的最高工作频率亦有明显的提升。以 1:2 分频器而言，最高工作速率与电流及电路的负载电容的关系可由式 (4-2) 表示：

$$f_{om} = \frac{g_{m3}}{2\pi C_L} \quad (4-2)$$

其中， f_{om} 是最高输出频率， g_{m3} 为本文 2.4.1 节的图 2.12 中之 MN3 管的跨导， C_L 为输出节点的总负载电容。由此可知，通过减小负载电容可提高电路的速度。此外，增加电流可获得更大的 g_{m3} ，同样也可提高电路的速度。意即，功耗换取速度。

后仿真的结果无疑印证了上述结论。

4.5 1:4 分接器的版图设计

与前述 1:4 分频器相比，本次设计的 1:4 分接器的工作速率要低，但是电源电压仅为 1.2V，是标准工艺的标准电源电压的 2/3。在版图设计和后仿真中发现，采用低电源电压的电路对版图中的

寄生参数相当的敏感！通过对整体布局的调整以及细节的优化，使得后仿真的结果能达到设计指标的要求。首先，图 4.13 所示的为 1:4 分接器的整体版图。

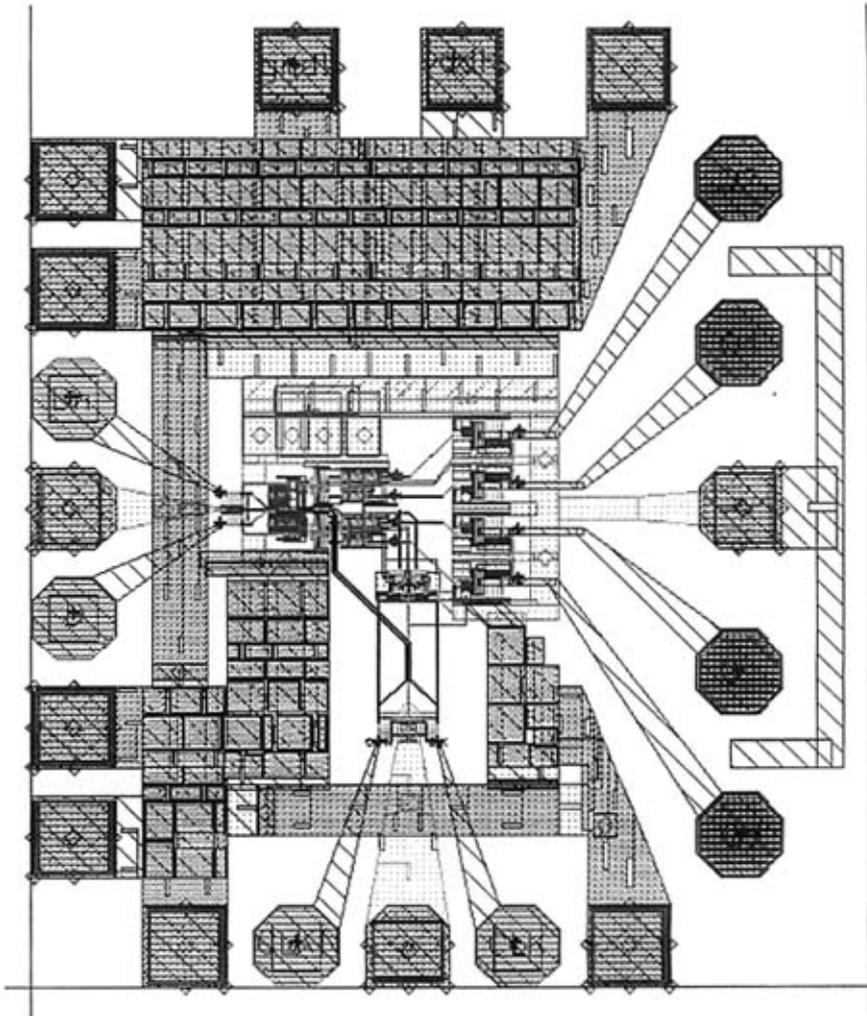


图 4.13 1:4 分接器的版图

左侧的一系列焊盘为数据信号的输入端，其分布为 PGSGSGP 的七针焊盘，焊盘间距为 $100\mu\text{m}$ ；右侧的焊盘为数据信号的输出端，为 SSGSS 的五针焊盘，焊盘间距为 $150\mu\text{m}$ ；底端为时钟信号的输入端，为 GSGSG 的五针焊盘，焊盘间距为 $100\mu\text{m}$ ；上端的三个焊盘均为直流焊盘，从左至右分别为 GPG，焊盘间距为 $100\mu\text{m}$ 。以上所有的焊盘均为 $75\mu\text{m} * 75\mu\text{m}$ 的尺寸。

在图 4.13 中可以看到，在上端的焊盘周围以及底端的焊盘左上方及右上方有一些排列紧密、长方形的大小不一的块状器件。这些是 MIM 电容阵列，利用芯片内部的空间加上 MIM 电容，能起到滤波的作用，保证核心电路的环境尽量“干净”。

在输出端的焊盘外侧有呈“山”形的金属条。而该层金属是接至 G 焊盘的，即等效于地线。若

对输出端的信号焊盘命名, 从上往下依次为 D1、D2、D3 和 D4。以往的分接器的测试经验表明, D2 与 D3 之间由于有 G 焊盘进行隔离, 所以输出信号波形较好。而 D1 或 D4 与 D2 或 D3 之间因为没有 G 焊盘, 所以会分别受 D2 或 D3 的影响, 导致相对较差的信号波形。因此, 本次的 1:4 分接器设计中, 为了使得四路输出信号均能得到满意的结果, 插入了上述的“山”的地线金属条。能够对 D1 与 D2、D3 与 D4 进行一定的隔离。

在该版图的模块设计中, 与电路设计相类似, 第一级 1:2 分接器的版图设计最为关键。为了减小寄生电容的影响, 在第一级 1:2 分接器的模块设计中, 几乎所有的晶体管均采用叉指结构。然而在版图设计过程中发现, 尽管采用叉指结构, 在后仿真中, 电路的性能仍大打折扣。经过反复的调研及尝试, 发现在低电压应用下, 寄生电阻的影响也非常重要。这是因为在低电源电压下, 电路内部的信号幅度不可能太大, 而由于连线寄生电阻的存在, 在晶体管的互连线上又消耗了本就不多的电压裕度, 从而导致整个电路的功能不正常。在实际的版图设计中, 晶体管除了采用叉指以外, 所有的互连线的宽度都加到原来的 3 倍以上 (同等长度下, 金属越宽电阻越小)。经过这样的调整, 第一级 1:2 分接器的模块获得了不错的后仿真结果。

在 1:4 分接器的版图设计中, 走线的对称性及引入的连线延迟也是应该考虑的。分接的功能实质上是串并转换的功能, 因此, 尽量使一对数据线 (例如, D1 或 D2) 走线长度一致。实际的设计中, 由于器件摆放的原因, 可能会出现一些线天然走得较短。此时应人为的对线的路径进行调整, 让其“绕远路”, 以达到走线长度基本一致的目的。

4.5.1 1:4 分接器的后仿真

1:4 分接器的后仿真网表是依托 Cadence 平台下的 Calibre 软件的提取功能从版图中生成的。生成的网表通过 ftp 下载到本地机。在 Hspice 软件下, 调用 0.18 μm CMOS 标准工艺进行仿真, 后仿真结果如下。

因为是半速率时钟工作, 所以输入的时钟信号速率为 5GHz 的差分信号, 图 4.14 给出单端波形。

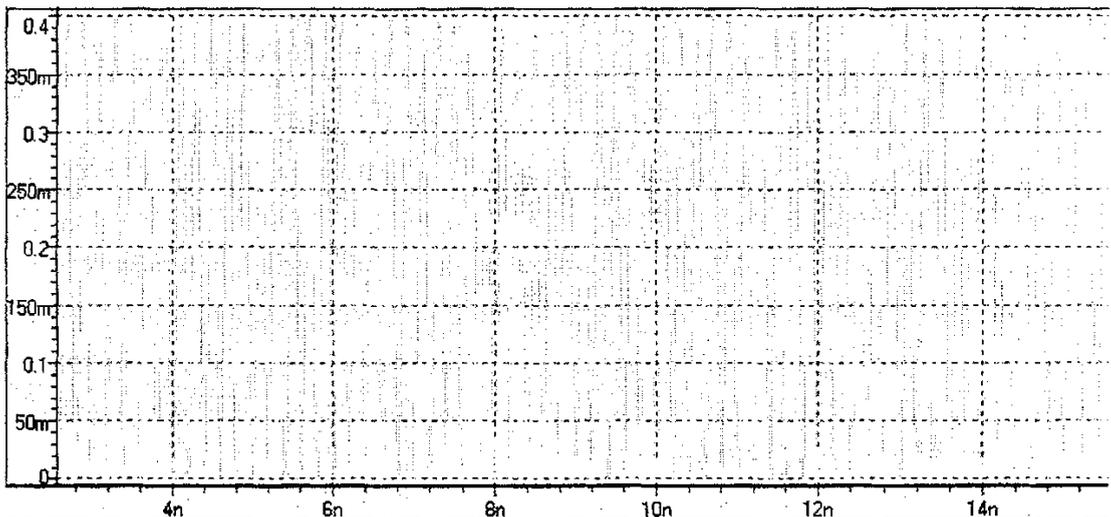
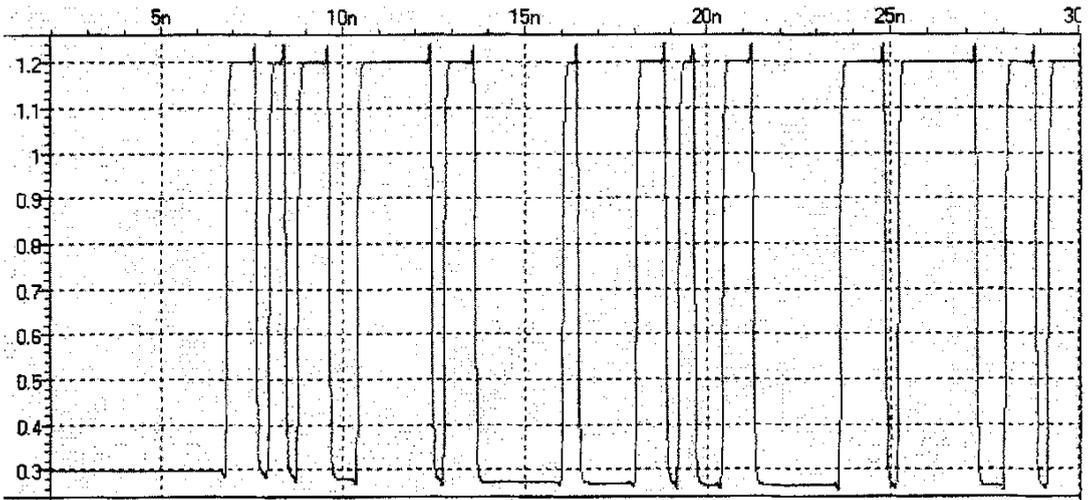
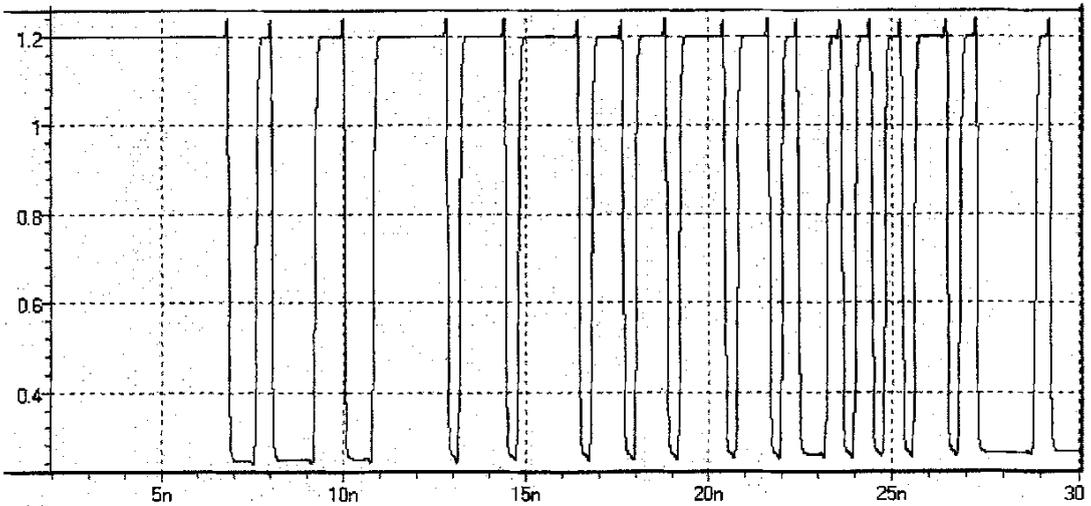


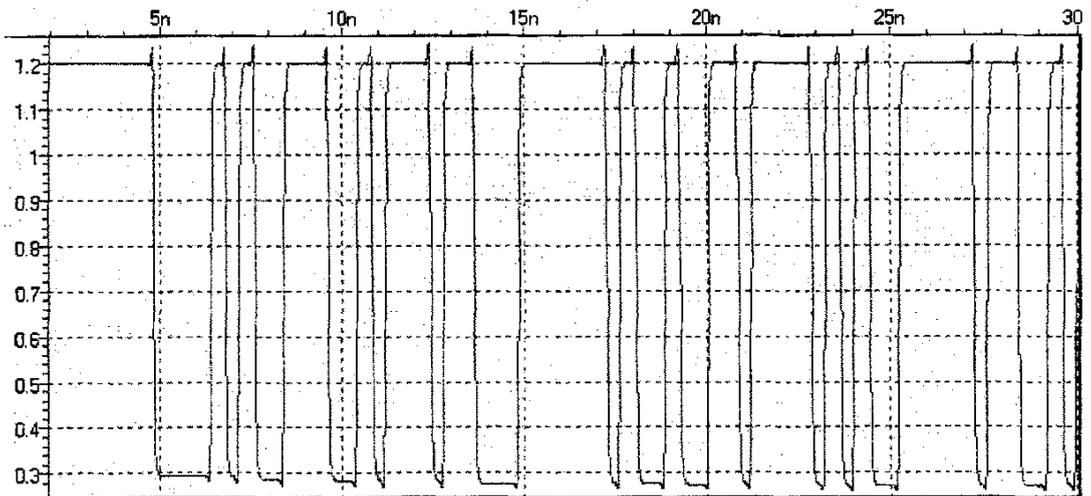
图 4.14 5GHz 的输入时钟信号



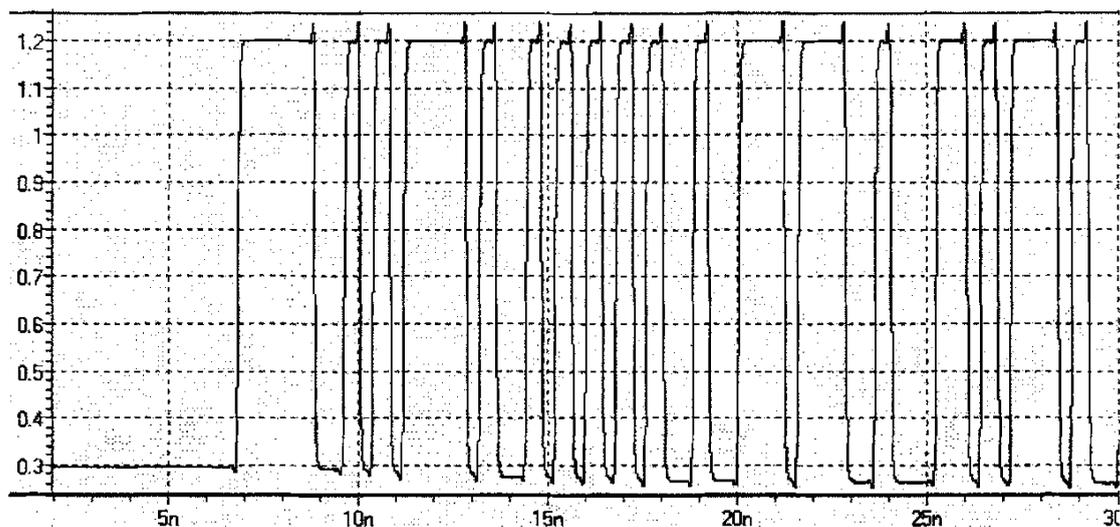
(a) 输出数据 D1 的瞬态波形



(b) 输出数据 D2 的瞬态波形



(c) 输出数据 D3 的瞬态波形



(d) 输出数据 D4 的瞬态波形

图 4.16 四路输出数据的波形

后仿真的数据输出眼图如图 4.17 所示。(给出了一路输出眼图)

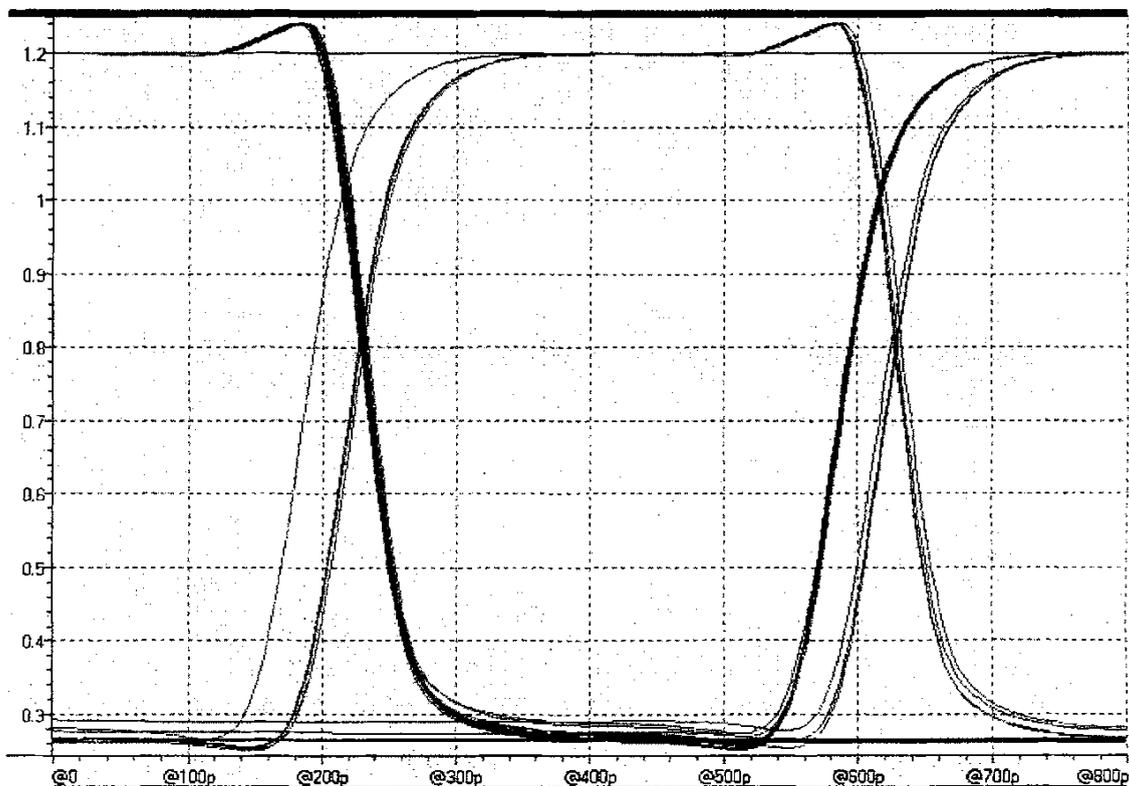


图 4.17 输出数据眼图

整个 1:4 分接器电路的功耗约为 38mW, 其中, 核心电路的功耗 (除去输出缓冲) 为 10mW。整个设计达到了低电压 (1.2V) 低功耗 (10mW 的核心功耗) 超高速 (10Gb/s 的工作速率) 的目的。表 4-1 为近年来国外的同工艺同速率的分接器与本文设计的分接器的性能比较。

表 4-1 国外的同工艺同速率的分接器与本文设计的分接器的性能比较

| 设计者 | 工艺 | 分接类型 | 工作速率 | 电源电压 | 核心功耗 |
|------------------------|-------------------|------|--------|------|------------------|
| NUS ^[4,5] | 0.18 μ m CMOS | 1:4 | 10Gb/s | 1.5V | 54m W(simulated) |
| Arika ^[4,6] | 0.18 μ m CMOS | 1:4 | 10Gb/s | 1.3V | 38mW(tested) |
| 本文 | 0.18 μ m CMOS | 1:4 | 10Gb/s | 1.2V | 10m W(simulated) |

4.6 常用服务器指令

版图通常是在工作站的 Unix 环境下设计的，因此，给出一些常用的指令相信是很有裨益的：

- 1) 移除不必要的仿真文件：rm core;
- 2) 列出该用户的所有进程：ps -u “username”;
- 3) 强制杀死进程：kill -9 “process no.”;
- 4) 修改密码：passwd;
- 5) 拷贝指令：cp;
- 6) 从一台服务器登陆另一台服务器：telnet “Host IP”;
- 7) 进入用户目录：cd/export/home/Username;
- 8) 显示当前目录下的文件：ls;
- 9) 打包命令：tar cvf filename.tar filename;
- 10) 将打包拷入现服务器的步骤：先登陆远程机，登录后敲击 bin，随后 get filename.tar，然后 bye，离开远程机。此时回到本地服务器，tar xvf filename.tar(将打包拷入本地机)，都拷完后，rm filename.tar 进行释放大包。

参考文献

- [1] Ullan, M.; Lozano, M.; Campabadal, F.; Fleta, C.; Garcia, C.; Gonzalez, F.; Bernabeu, J.; “High Pitch Metal-On-Glass Technology For Pad Pitch Adaptation Between Detectors And Readout Electronics” in Nuclear Science, IEEE Transactions on Volume 51, Issue 3, Part 3, June 2004 Page(s):968 - 974
- [2] Ming-Dou Ker, Hsin-Chin Jiang, and Chyh-Yih Chang “Design on the Low-Capacitance Bond Pad for High-Frequency I/O Circuits in CMOS Technology” in IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 12, DECEMBER 2001
- [3] C. C. Hsue and S. C. Chien, “Polycide bonding pad structure,” U.S. Patent 5 734 200, Mar. 1998
- [4] Alan Hastings, 模拟电路版图的艺术（影印版）清华大学出版社
- [5] Pinping Sun; Yong Lian; Ajjikuttira, A.B.” A 10-Gb/s, 1.5-Volt low-power 1:4 demultiplexer for optical fiber communication” in ASIC, 2003. Proceedings. 5th International Conference on Volume 2, 21-24 Oct. 2003 Page(s):1082 - 1085 Vol.2
- [6] Akira Tanabe, Yasushi Nakahara, Akio Furukawa, and Tohru Mogami,” A Redundant Multivalued Logic for a 10-Gb/s CMOS Demultiplexer IC” in IEEE Journal of solid-state circuits, vol. 38, no. 1, Jan 2003

第五章 芯片测试与结果分析

当版图设计完成，且后仿真的结果达到设计指标后，版图数据被送往代工厂商（Foundry），即流片。流片后的工作为芯片测试。

5.1 测试环境

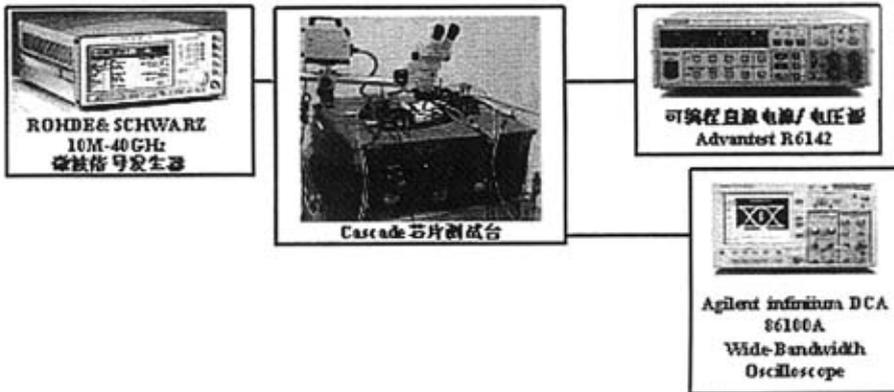


图 5.1 测试环境图

图 5.1 所示为 1:4 分频器的测试环境。除了图中所示的仪器外，还有一个 Balun，即将单端信号转换为双端信号的仪器。之所以会用到它，是因为实验室的信号源只能提供 10GHz 以下的差分信号输入或 40GHz 的差分信号输入。因此，当分频器工作在 20GHz 以上时，无法提供相应的输入信号源，也就不能完整的测试分频器的工作范围和性能。



| | |
|-----------------------|----------------|
| FREQUENCY RANGE | 6.0-26.5 GHz |
| COUPLING | 3 dB |
| AMPLITUDE IMBALANCE | ± 0.7 dB |
| PHASE IMBALANCE * | ± 12 Degrees |
| ISOLATION | > 14 dB |
| MAXIMUM VSWR | 1.7 |
| INSERTION LOSS | < 1.6 dB |
| POWER RATING | |
| Average | 20 W |
| Peak | 3 KW |
| STANDARD CONNECTORS | SMA Female |
| WEIGHT (ounces) | 2.4 |
| OPERATING TEMPERATURE | -54° to +85° C |

图 5.2 Balun 的外观以及性能参数

鉴于 Balun 的性能在很大程度上制约了分频器的工作情况，也影响分频器的测试结果，图 5.2

给出了 KRYTAR 公司的 Balun 的外观及性能参数，可知其工作范围为 6GHz 至 26.5GHz。

5.2 测试内容

5.2.1 1:4 分频器的在片测试

1:4 分频器的管脚和探针的示意图如图 5.3 所示：

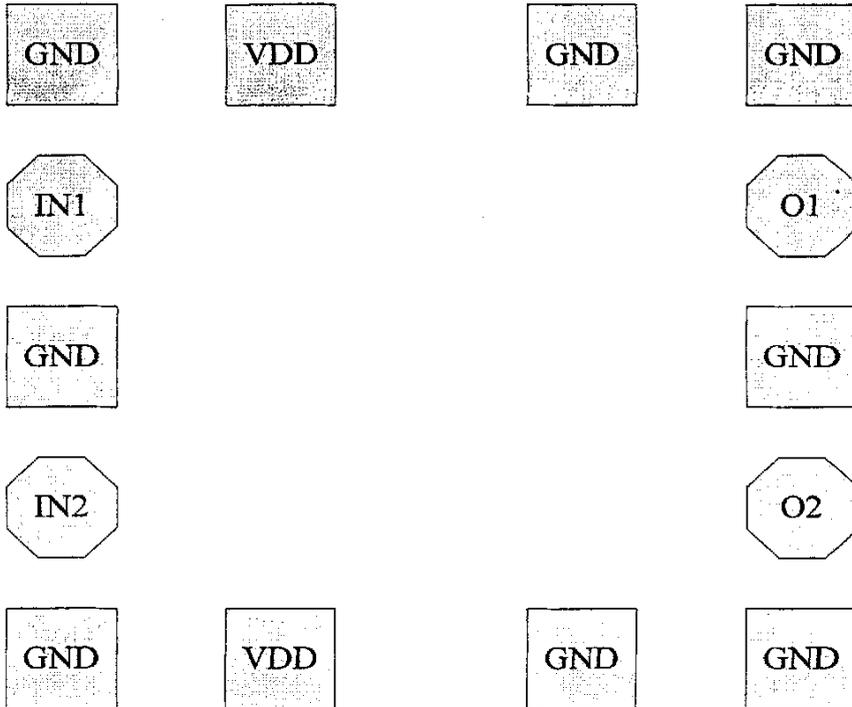


图 5.3 1:4 分频器的管脚示意图

各个管脚的说明及探针加信号的方式如下：

VDD：电源电压 1.8V；

GND：接地；

输入差分信号：IN1(clk)、IN2(clkn)；

输出差分信号：O1(out1)、O2(out2)；

输入采用 GSGSG，输出采用 GSGSG 探针；

两针直流探针（带电容 C）、两针直流探针（不带电容 C）。

1:4 分频器的芯片照片如图 5.4 所示，其中椭圆曲线标出的部分为分频器的核心电路，其面积仅为 $16\mu\text{m} * 80\mu\text{m}$ 。该电路确实是“焊盘决定面积”！

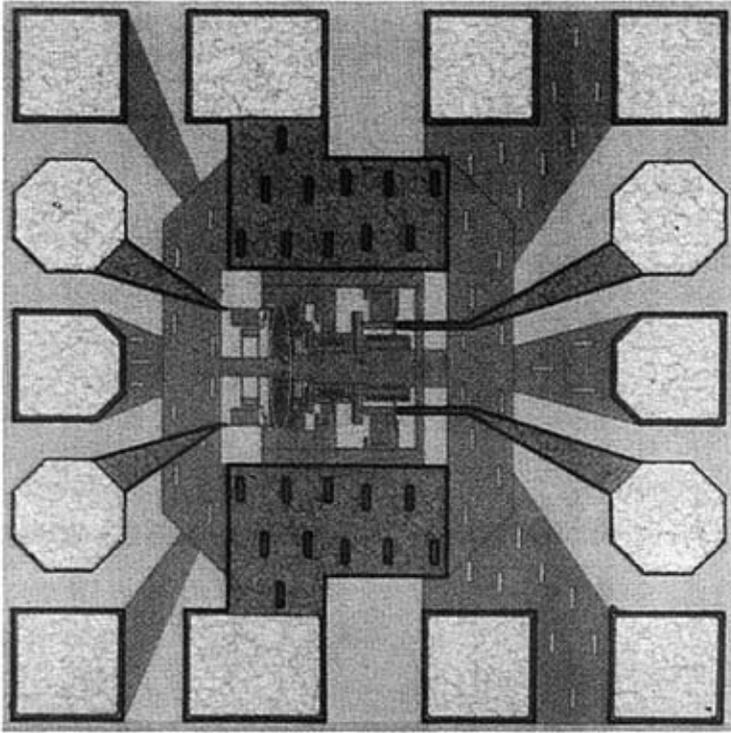


图 5.4 1:4 分频器的芯片照片

经测试，分频器的工作范围为 5GHz 至 26GHz。电路的自由振荡频率为 5.168GHz。

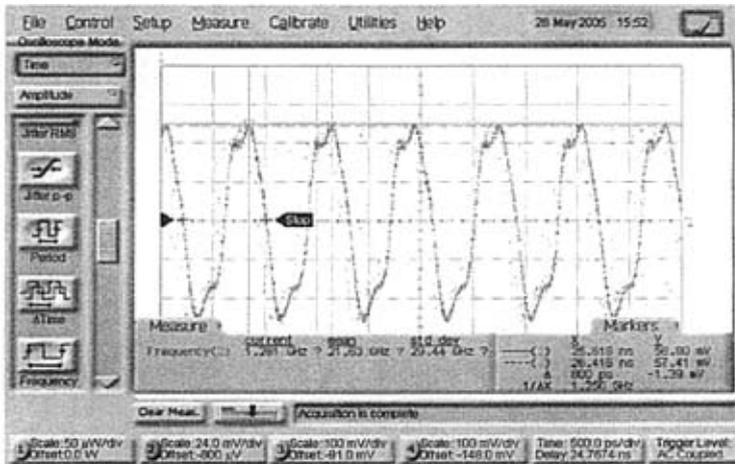


图 5.5 输入为 5GHz 时，4 分频所得的输出信号波形

电路的最低工作频率为 5GHz，其输出波形如图 5.5 所示。在 1.8V 电压下，输入信号频率为 22GHz 的差分信号的波形如图 5.6 所示。幅度峰峰值 V_{pp} 为 710mV 时的眼图模式下的输入信号波形（经过 Balun）及输出波形、频谱分别如图 5.7、图 5.8 及图 5.9 所示，其中输出信号频谱的 span 是 50MHz。

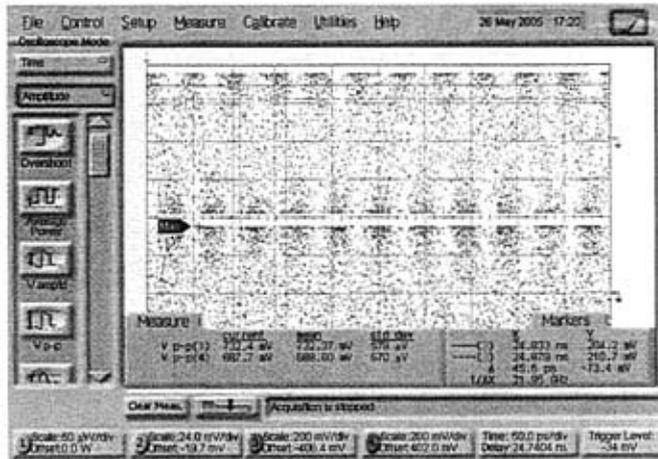


图 5.6 22GHz 的输入差分信号波形

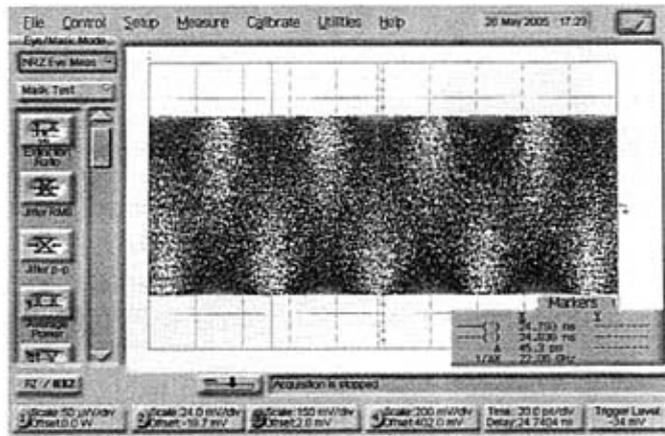


图 5.7 眼图模式下的 22GHz 的输入信号单端波形

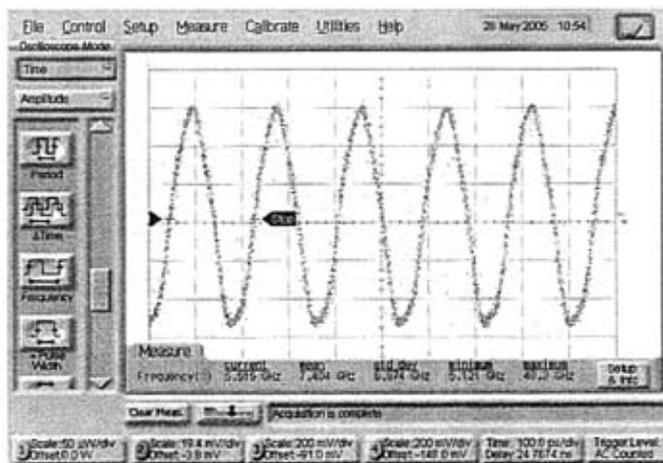


图 5.8 相应的 5.5GHz 单端输出信号波形

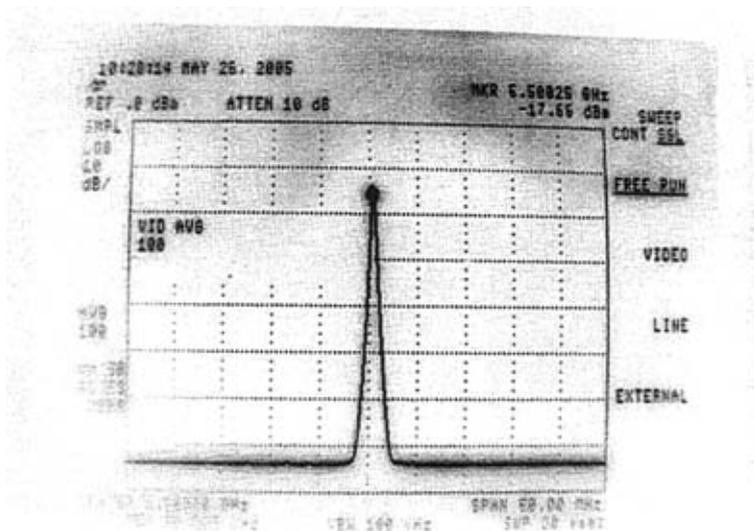


图 5.9 5.5GHz 单端输出信号频谱 (span 为 50MHz)

26GHz 的差分输入信号如图 5.10 所示。可见，由于已经达到了 Balun 的工作极限，所以两路差分信号不仅相位上不完全满足 180° ，而且两路应该幅度一致的差分信号在幅度上也有 20% 以上的偏差。输入信号的不理想，自然也会影响芯片的工作性能及输出结果。此时的输出波形如图 5.11 所示。

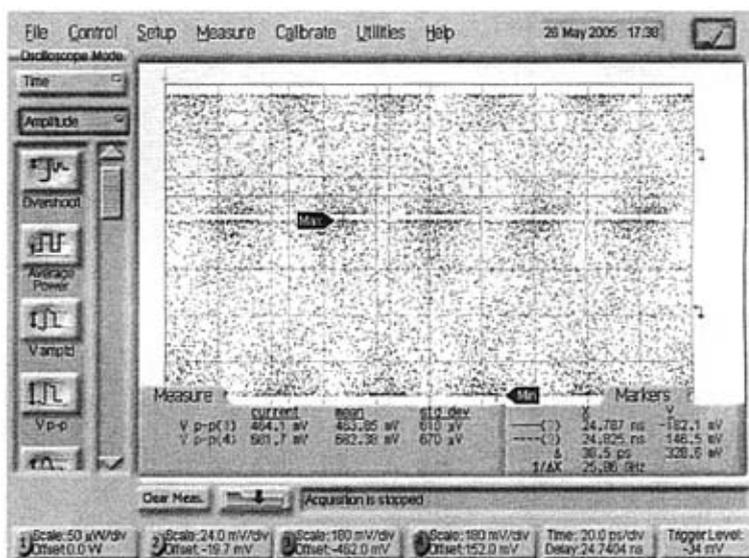


图 5.10 频率为 26GHz 的差分输入信号波形

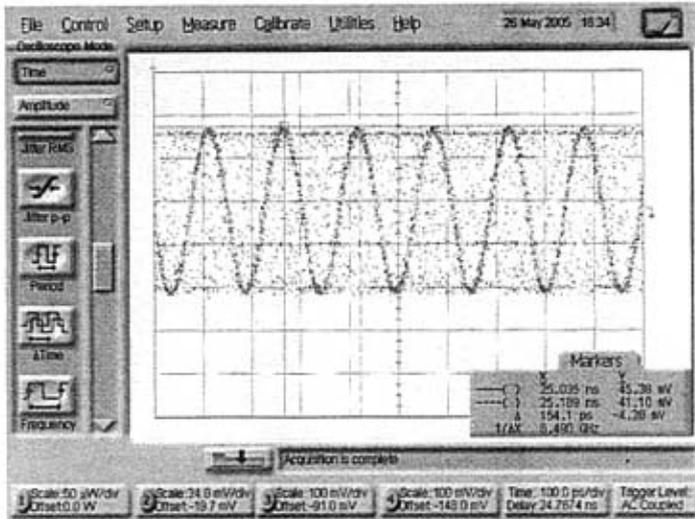


图 5.11 输入差分信号为 26GHz 时的输出信号波形

5.2.2 1:4 分频器的封装测试

该分频器的封装工作是在新志光电公司完成的。经过封装后的 1:4 分频器实物图如图 5.12 所示。

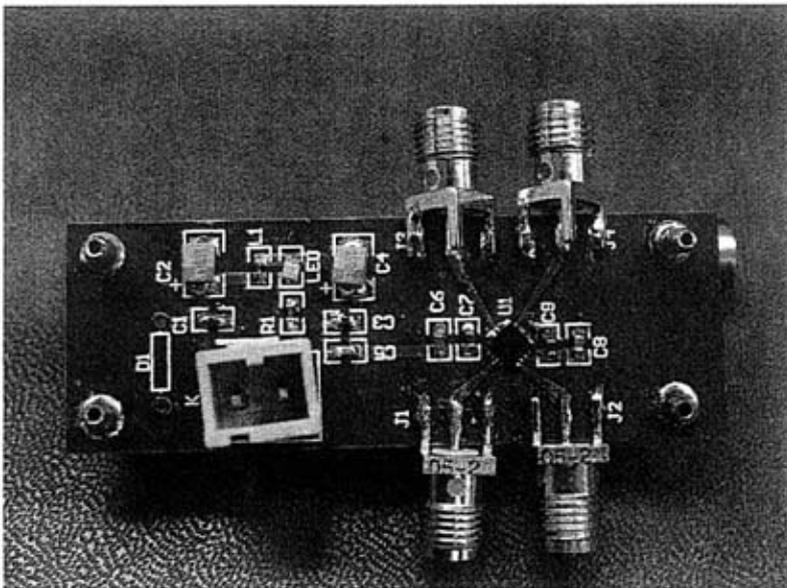


图 5.12 1:4 分频器封装后的实物照片

封装测试中采用了两种测试环境，测试环境 1 采用图 5.1 所示的测试环境，由信号源发生器提供单端信号输入，并由 Balun 将该信号转为差分信号接入分频器的输入端。

测试时，电源电压为 1.5V，输入信号峰峰值为 500mV。在这两个条件恒定时改变输入信号的频率，输入信号从 7GHz 变化到 14GHz 均可分频。当电源电压变为 1.77V，输入信号峰峰值为 400mV 时，可测得分频器的最高工作频率为 19.6GHz。

电源电压为 1.5V，输入信号为 10GHz 时，所得的 2.5GHz 输出的信号波形如图 5.13 所示。其 jitter 的测量如图 5.14 所示，对应的输出信号频谱如图 5.15 所示，其中 span 为 50kHz。

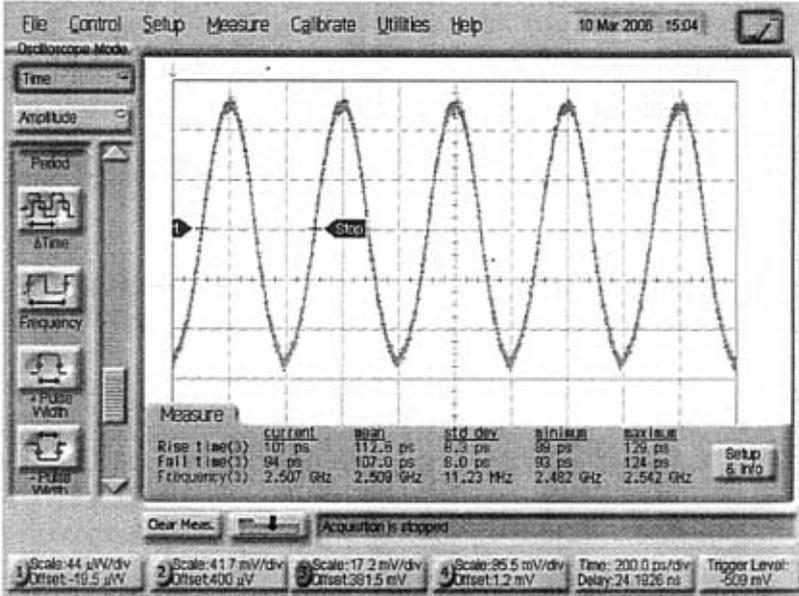


图 5.13 输入为 10GHz，相应的单端 2.5GHz 输出信号波形

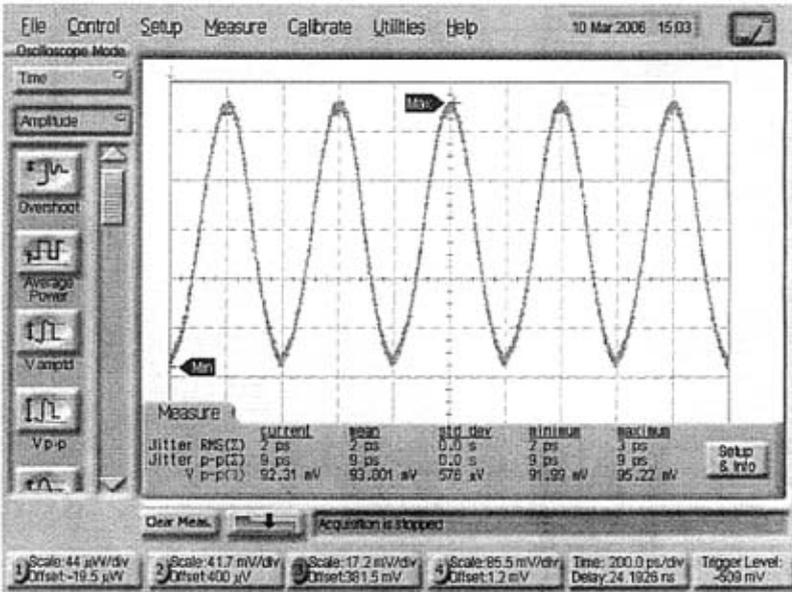


图 5.14 输入为 10GHz，相应的单端 2.5GHz 输出信号波形 jitter 的测量

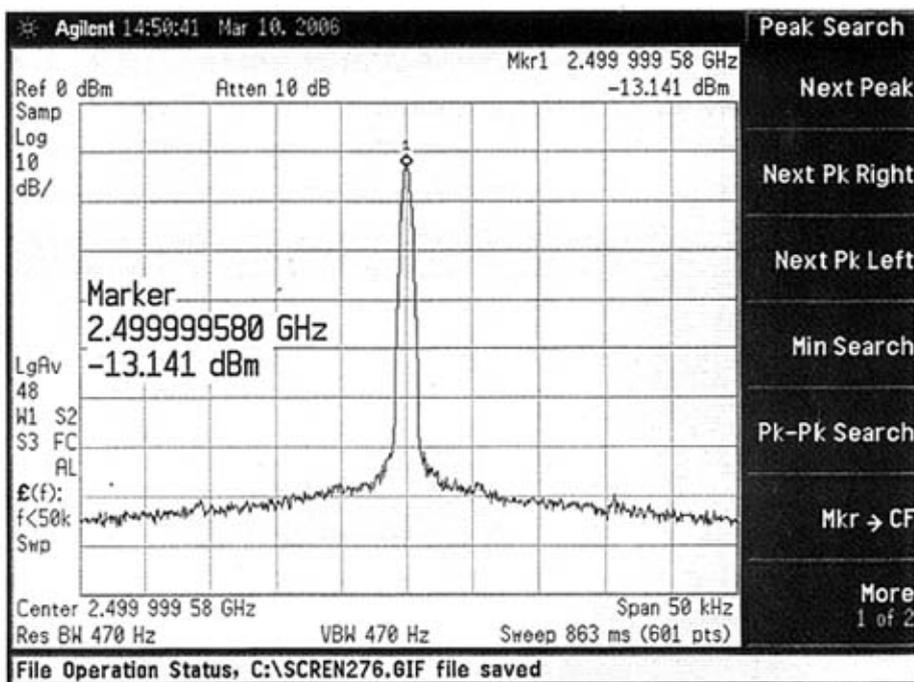


图 5.15 输入为 10GHz，相应的单端 2.5GHz 输出信号频谱（span 为 50kHz）
 电源电压为 1.5V，输入信号为 7GHz 时，所得输出的信号频谱如图 5.16 所示

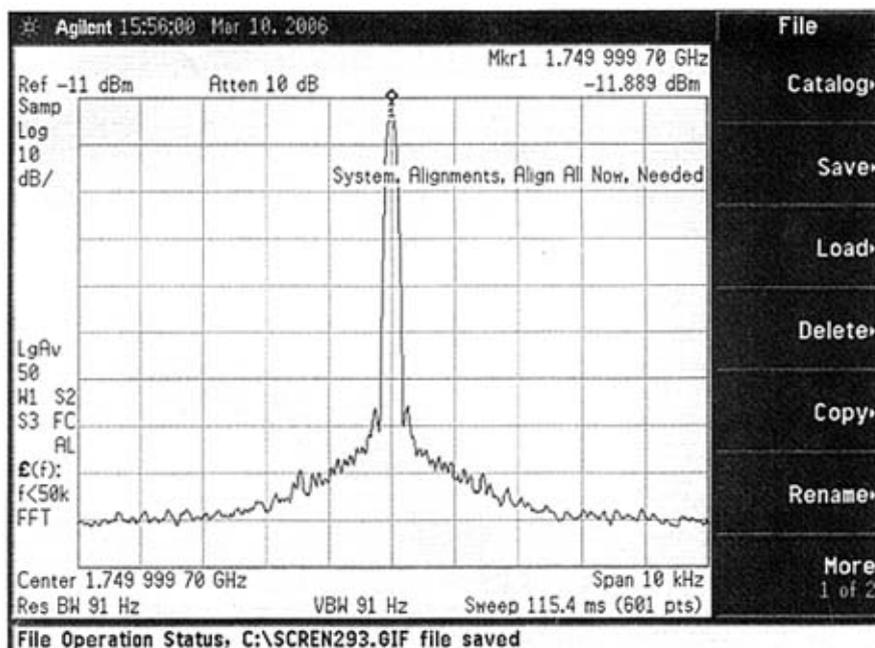


图 5.16 输入为 7GHz，相应的单端 1.75GHz 输出信号频谱（span 为 10kHz）

电源电压为 1.5V，输入信号为 14GHz 时，所得的 3.5GHz 输出的信号频谱如图 5.17 所示。(图中 Mark 未放在中心)

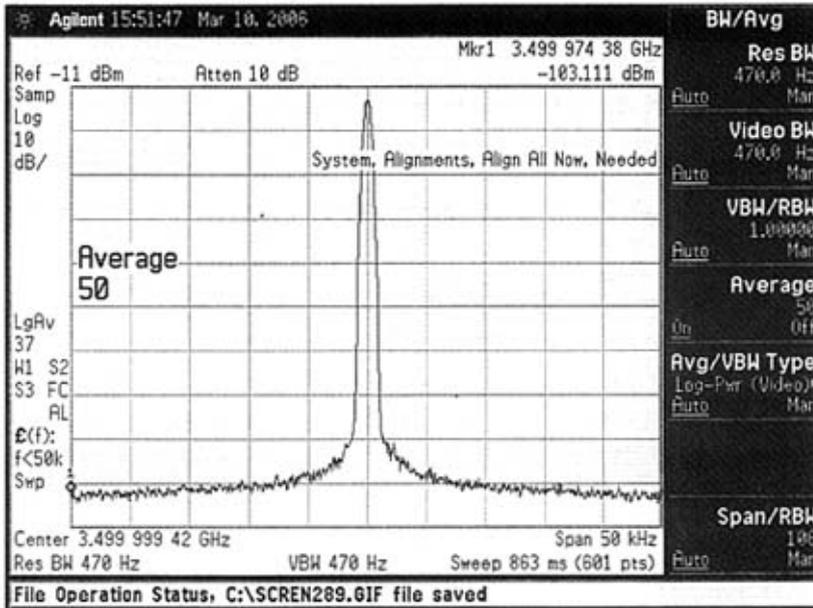


图 5.17 输入为 14GHz，相应的单端 3.5GHz 输出信号频谱 (span 为 50kHz)

电源电压为 1.77V，输入信号为 19.6GHz 时，所得的 4.9GHz 输出的信号频谱如图 5.18 所示。其中 span 为 10MHz。

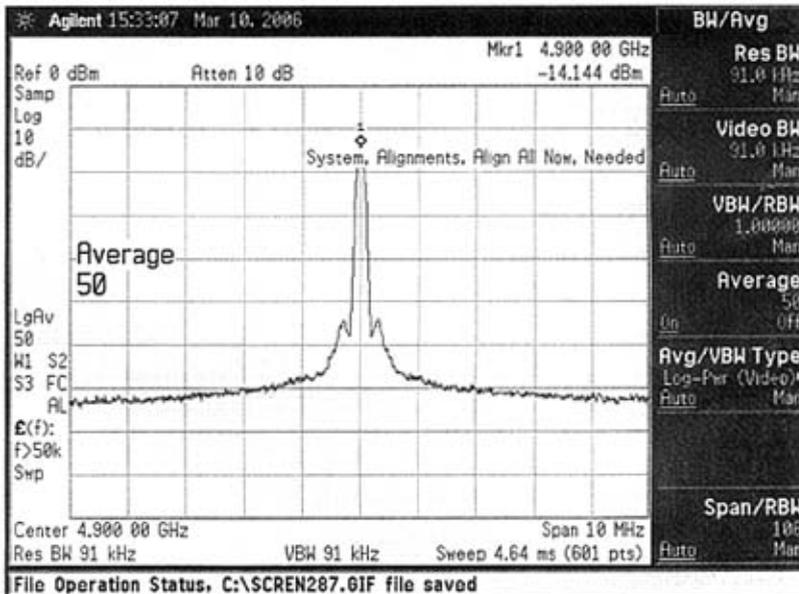


图 5.18 输入为 19.6GHz，相应的单端 4.9GHz 输出信号频谱 (span 为 10MHz)
采用的第二套测试环境如表 5-1 所示。

表 5-1 测试环境 II

| | |
|--------|-----------------|
| 探针台 | CASCADE 11000 |
| 信号源发生器 | ADVANTEST D3186 |
| 宽带示波器 | AGILENT 86100A |
| 频谱仪 | AGILENT E4440A |

与测试环境 I 不同，此时的信号源为 ADVANTEST D3186，它能直接产生一对差分信号（近似方波），其缺点为产生信号的最高频率为 12GHz。因此，搭建该测试环境旨在探索分频器的低端工作极限。

电源电压为 1.2V，输入信号峰峰值为 600mV 时，分频器可工作在 2.488GHz 的速率上，此时的工作电流为 15mA。当输入信号峰峰值在 250mV 至 1V 范围内（以上两值分别为仪器所能提供幅度的上下限）变化时，分频器均可在 2.488GHz 稳定工作。

图 5.19 给出的是输入为 2.488GHz 的相应输出波形的频谱，其中 span 为 10kHz。

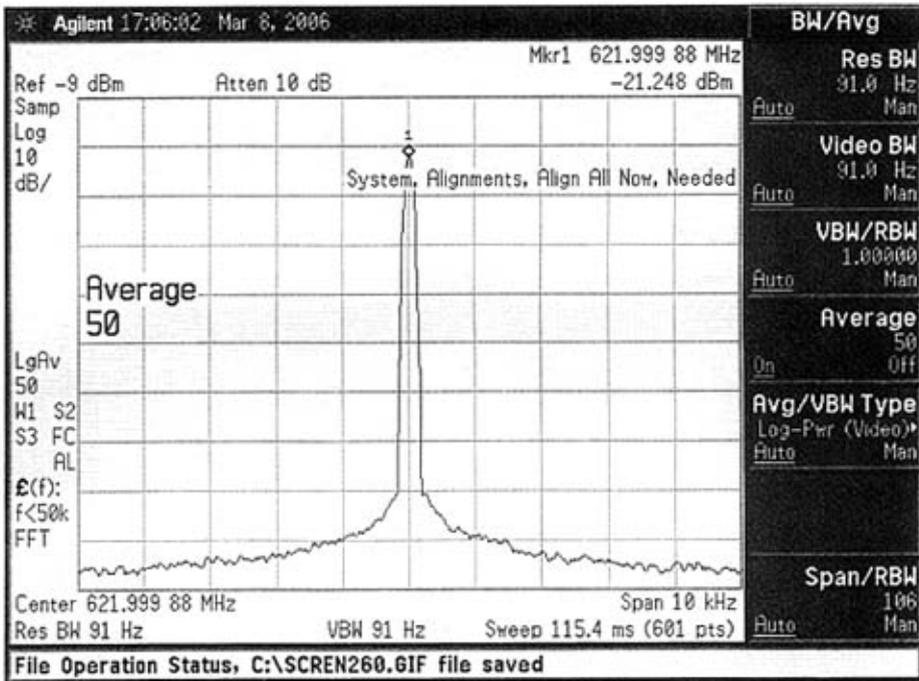


图 5.19 输入为 2.488GHz，相应的单端 622MHz 输出信号频谱（span 为 10kHz）

5.3 测试结果分析

5.3.1 在片测试分析

首先根据在片测试的结果进行分析。根据在片测试结果绘出的分频灵敏度曲线如图 5.20 所示：

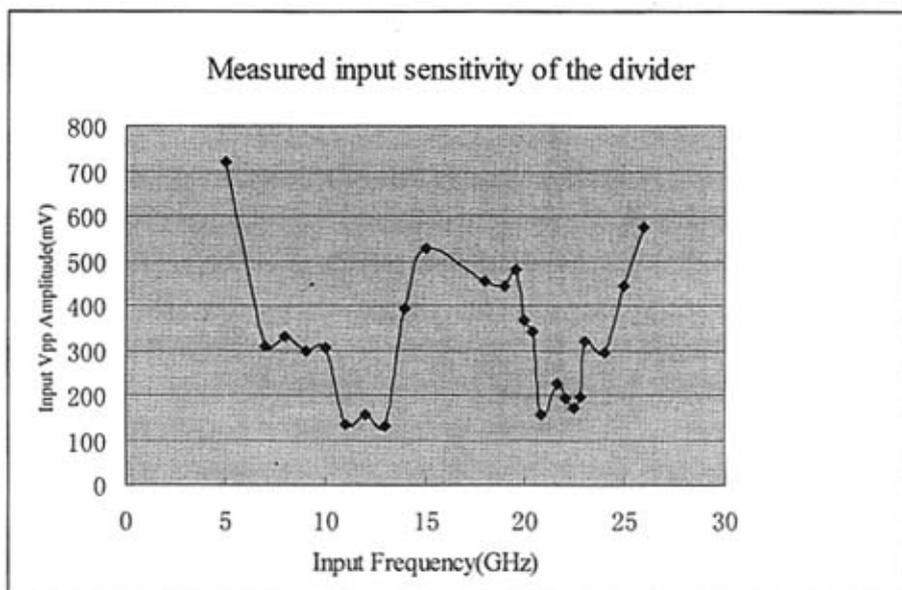


图 5.20 分频灵敏度曲线

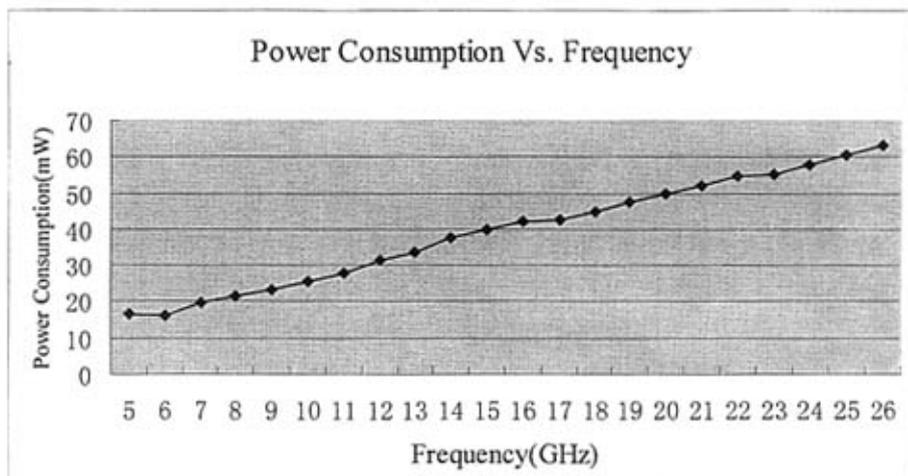


图 5.21 消耗的功耗与频率的对应曲线

测试中，电源电压在 1.4V 至 1.9V 范围内变化，电流从 12mA 变化至 33mA，对应的分频范围是 5GHz 至 26GHz。根据测试结果绘出的功耗与输入信号频率间的对应曲线如图 5.21 所示，可发现随着电路工作频率的增加，其功耗也大致呈线性增长，与前述的“功耗换取速度”相吻合。

由于信号源在 10GHz 至 40GHz 之间只能提供单端信号，1:4 分频器的输入需要相位差为 180° 的信号，所以 Balun 的性能对芯片的影响很大。从图 5.10 可以看出，26GHz 已经达到 Balun 的工作极限，得到的双端信号很不理想，因此分频器的性能也受到了影响。其实，在实测中，当频率高于 20GHz 时，经 Balun 转出的双端信号已经不大理想。尽管如此，分频器依然能很好的工作，所

以有理由相信，今后若能获得更理想的信号源的话，该分频器应能得到更好的测试结果。

5.3.2 封装测试分析

该芯片在 1.5V 的电源电压，并且保持输入信号幅度恒定不变的情况下，工作范围在 7GHz 至 14GHz，且在预期的 10GHz 上获得了较佳的输出波形。在 1.2V 电源电压下，在输入信号幅度变化很大的情况下，依然能稳定地工作在 2.4888GHz。在 1.77V 电源电压下，其最高工作速率可达 19.6GHz。

本次封装一共封装了两块片子，其中 2 号片子比 1 号片子测得的结果要好。有可能是裸片本身的偏差或者是封装时引入的效应，比如这两块片子的输出端的 SMA 头不一样。

在测试中发现，信号源给出的“差分”信号的相位差并不是理想的 180 度。在有些频率可以获得较佳的差分信号，而有些频率却近似同相，因此这在一定程度上也会影响到测试结果。此外，可能由于信号反射的原因，在某些频率上的输出信号波形的谐波较多，虽然功能正确，但是信号并不十分理想。

第六章 结论

20 世纪 90 年代以来,基于光纤传输网络的高速数字传输标准,同步数字体系(SDH: Synchronous Digital Hierarchy)和同步光网络(SONET: Synchronous Optical Network)已在全世界范围内广泛建设和应用。目前,世界大多数的高速光纤通信系统的数据速率为 STM-16 (2.5Gb/s)。STM-64 (10Gb/s)的系统亦开始应用,40Gb/s 的系统正在研究。国内光纤通信发展迅速,铺设的光缆已达数万公里。随着各种多媒体业务的发展,光纤通信将会得到更迅猛的发展。

光纤在传输系统中的应用解决了干线信道的容量问题,但是当前通信系统的接入网和终端仍然是由电子器件和线路构成的。未来的信息网仍将是电子、光电与光子系统的集成系统,系统中电子线路的工作速度仍对系统的传输容量起着制约作用,也就是说电路速度是网络传输能力的瓶颈。因此,自行研发光纤通信超高速集成电路,尤其是紧跟世界主流高速率的光纤通信集成电路,已经成为我国信息产业持续发展的关键之一。本课题的研究直接针对光纤传输系统的“电子瓶颈”问题。目前,鲜见采用 $0.18\mu\text{m}$ CMOS 工艺实现 20GHz 以上的分频器的报导,因此设计 20GHz 以上的分频电路极具挑战性且意义重大。在光纤传输系统的功能电路中,分接器是光接收机的关键电路。而采用 1.2V 的低电压在 $0.18\mu\text{m}$ CMOS 工艺下实现 10Gb/s 速率级的 1:4 分接器十分有意义。这两个电路设计的共同点是:低电压条件下实现超高速,且功耗低。

为提高分频器的性能,在世界范围内分频器的技术与结构被广为研究。其中, Jri 提出注入再生技术,并使用在片电感补偿器件电容得以拓展最高工作速率。只是该电路可分频范围不宽(2.3GHz)且 CMOS 工艺中的电感模型很难把握。其他一般用作高速分频器的锁存器结构有:源极耦合逻辑(SCFL)锁存器、伪差分(pseudo-differential)锁存器及动态负载锁存器。其中 SCFL 锁存器由于层叠比较多且功耗比较大,因此在低电压下该结构不具优越性。而伪差分锁存器去掉了 SCFL 锁存器中时钟开关底部共同的电流源,从而更适宜在低电压下应用。但由于伪差分(pseudo-differential)锁存器采用的是静态电阻负载,鉴于 CMOS 工艺制作中电阻模型的偏差较大,且恒定的阻值会消耗不必要的功耗,因此采用动态负载代替静态电阻的动态负载锁存器可以获得更低的功耗。本文则采用一种改进的单时钟动态负载锁存器实现分频。该 1:4 分频器的芯片在台积电(TSMC)完成制造过程。芯片在东南大学射频与光电研究所分别完成在片测试及封装测试。在片测试结果表明,该芯片的分频范围为 5GHz 至 26GHz,核心功耗为 28mW。因为受制于测试条件以及测试仪器的性能,该芯片的实际最高工作速率可能可以更高;封装测试结果表明,在 1.5V 的电源电压,并且保持输入信号幅度恒定不变的情况下,芯片的工作范围在 7GHz 至 14GHz,且在预期的 10GHz 上获得了较佳的输出波形。在 1.2V 电源电压下,可工作在 2.4888GHz。在 1.77V 电源电压下,其最高工作速率可达 19.6GHz。另外,该芯片于 2005 年 8 月份通过江苏省科技厅的鉴定,鉴定结果表明该芯片的设计水平达国际领先水平。总之,此次由东南大学射频与光电集成电路研究所设计裸片,并由新志光电公司完成封装等一系列工作而得的分频器芯片获得了比较满意的测试结果,为芯片的产业化积累了经验,做出了贡献!

分接器的基本结构有三种,分别为串型分接器、并型分接器及树型分接器。在串型结构中, D

触发器工作在输入数据的速率上，需要大电流来获取高速率，因此适用于低速系统；而在并型结构中，D 触发器工作在输出数据的速率上，且并行连接的 D 触发器对前级电路是很重的电容负载，因此适用于低阶高速系统（例如，1:2 分接器）；而本次设计中采用的树型结构由于分级并联、逐级降速的特点，可以实现高速低功耗。基于 1:4 分接器的工作特点，高速的 1:2 分接器的设计要点与相对低速的 1:2 分接器不同。前者更关注于如何在 1.2V 的低电压下实现 10Gb/s 的分接，而后者关心在完成 5Gb/s 至 2.5Gb/s 分接的同时尽量低得减小功耗。因此，在设计时，在构成高速 1:2 分接器的基本单元—锁存器的选择上，采用了在超高速 1:4 分频器中应用的改进的单时钟动态负载锁存器，实现了低电压条件下的超高速。而由于 CMOS 逻辑的低功耗的特性，在第二级 1:2 分接器的设计中，选择了 CMOS 准静态触发器作为构成分接器的基本单元。本文完成了前仿真、版图设计及后仿真。后仿真的结果表明，在 1.2V 的电压下，分接器的工作速率可达 10Gb/s，且核心功耗仅为 10mW（通过文献调研可知，该功耗在同工艺同速率的分接器中为世界最低）。该芯片将于下次 MPW 服务中送往 TSMC 流片，并将于东南大学射频与光电集成电路研究所完成测试工作。

致 谢

很幸运自己在大三暑期即能进入东南大学射频与光电集成电路研究所进行创新课题的设计。首先感谢王志功教授，是您精心挑选了创新课题并担任了我本科毕业设计的指导老师，引导我走入了集成电路设计的大门并开启了我对之的兴趣。您渊博的学识及热情的态度深深地感染了我。

感谢我的导师冯军教授。在我攻读硕士学位期间，您一直关心着我的学习和生活。每当我在电路设计中遇到问题，您的细致分析不仅让我豁然开朗，而且使我加深了对电路的理解。您严谨的治学态度和谦虚低调的为人风格一直是我学习的榜样。总之，在您身上不仅有着恩师的教导及鼓励，还有慈母的关怀和呵护。

感谢李志群教授，您开设的射频集成电路设计课程培养了我对射频集成电路设计的兴趣。感谢章丽老师在版图设计中的帮助。感谢张弘老师和韩鹏同学在软件使用上的帮助。感谢宋其丰老师在芯片封装中的帮助。感谢熊明珍老师和李伟老师在芯片测试中的辛勤劳动。感谢朱恩教授、黄风义教授、高建军教授、孟桥教授、胡庆生副教授、李文渊副教授在研究工作中给予我的关心。

感谢梁帮立老师在创新课题设计时给我的关心和帮助；感谢王欢老师在电路设计和版图上的建议；感谢李连鸣师兄，你谦逊的品格和对学术的专攻是我学习的榜样；感谢已经毕业的张立国师兄，你勤恳踏实的工作作风感染了我；感谢李有惠师姐，和你的讨论加深了我对锁存器电路的理解；感谢刘永旺和鲍剑同学，与你们的讨论总能让我受益匪浅，收获颇多。

感谢无线电工程系 0403 硕的所有同学，这是一个温馨的集体，很幸运和你们一起进步一起成长，这段求学的美好时光将永记于心。

感谢我的父母和邓晔对我一直以来的支持、关心和鼓励，没有你们就没有我今天取得的成绩！

作者简介

姜辉，男，1981年10月出生于江苏省金坛市，1999年保送至东南大学无线电工程系，2002年7月进入东南大学射频与光电集成电研究所（以下简称“射光所”）进行题为《可用于WLAN的无线接收系统核心芯片》的创新课题的设计。2003年在射光所完成题为《鉴频鉴相器和宽带放大器的研究》的本科毕业设计。其中，以 $0.25\mu\text{m}$ CMOS RF工艺设计的2.5GHz宽带放大器成功流片。同年6月，获东南大学无线电工程系工学学士学位。同年9月进入东南大学无线电工程系电路与系统专业攻读硕士学位。2004年5月负责测试基于 $0.35\mu\text{m}$ CMOS工艺的2.5GHz前置放大器。2004年6月设计超高速1:4分频器并于2005年成功流片。2005年3月设计基于 $0.35\mu\text{m}$ CMOS工艺的1.5V低功耗3.125Gb/s 1:4分接器。2005年6月设计基于 $0.18\mu\text{m}$ CMOS工艺的1.2V 10Gb/s 1:4分接器。2005年7月测试基于 $0.18\mu\text{m}$ CMOS工艺的11.6GHz锁相环电路。2005年8月参与江苏省科技厅组织的芯片鉴定，科技厅的鉴定结果为：基于 $0.18\mu\text{m}$ CMOS工艺的26GHz 1:4分频器的设计水平达“国际领先水平”；基于 $0.18\mu\text{m}$ CMOS工艺的11.6GHz锁相环电路的设计水平达“国际先进水平”。2006年3月完成超高速1:4分频器的封装测试。